

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

3/14/01  
6/14/01  
V.S.



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 7月 3日

出 願 番 号

Application Number:

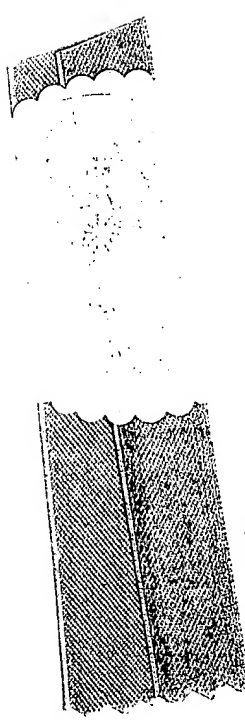
特願2000-201095

出 願 人

Applicant(s):

日本電気株式会社

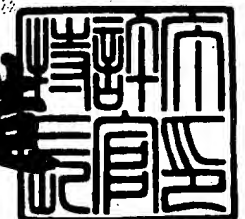
CERTIFIED COPY OF  
PRIORITY DOCUMENT



2001年 3月16日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3021008

【書類名】 特許願

【整理番号】 72310203

【提出日】 平成12年 7月 3日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/401

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 内山 義規

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100102864

    【弁理士】

    【氏名又は名称】 工藤 実

【選任した代理人】

    【識別番号】 100099553

    【弁理士】

    【氏名又は名称】 大村 雅生

【手数料の表示】

    【予納台帳番号】 053213

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9715177

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体システムおよび半導体装置

【特許請求の範囲】

【請求項 1】 入力端子と出力端子を有する  $n$  個 ( $n > 2$ ) の回路部と、  
前記  $n$  個の回路部のうち、所定の  $k$  個 ( $2 \leq k < n$ ) の前記回路部の入力端子  
に接続された端子からなり、

$m$  番目 ( $1 \leq m \leq n - k$ ) の前記回路部の出力端子と ( $m + k$ ) 番目の前記回  
路部の入力端子とが接続されてなる、

半導体システム。

【請求項 2】 請求項 1 に記載の半導体システムにおいて、  
前記各回路部は、  
前記入力端子からの入力信号に応答して起動し、前記起動後所定の時間経過す  
ると動作を中止する、

半導体システム。

【請求項 3】 請求項 1 に記載の半導体システムにおいて、  
前記各回路部は、差動入力回路とレジスタ回路を有し、  
前記差動入力回路は、前記入力端子からの入力信号に応答して起動し、前記起  
動後所定の時間経過すると動作を中止する、

半導体システム。

【請求項 4】 請求項 1 に記載の半導体システムにおいて、  
前記各回路部は、差動入力回路とレジスタ回路を有し、  
前記差動入力回路は、前記入力端子からの入力信号に応答して起動し、前記レ  
ジスタ回路からの出力信号に応答して動作を中止する、

半導体システム。

【請求項 5】 請求項 1 から 4 のいずれか 1 項に記載の半導体システムにお  
いて、

前記各回路部は、異なる半導体チップ内に設けられている、  
半導体システム。

【請求項 6】 入力端子と、

複数の差動入力回路と、

前記複数の差動入力回路の出力端に個別に接続された複数のレジスタ回路と、

前記入力端子、前記複数のレジスタ回路の少なくとも一部、および前記複数の差動入力回路と接続されたラッチ回路とからなり、

前記ラッチ回路と接続されている前記レジスタ回路は、接続されている前記差動入力回路から出力された信号を用いて予め定められた動作を実行し、前記動作が終了すると前記ラッチ回路へ出力信号を出力し、

前記ラッチ回路は、前記入力端子からの入力信号に応答して前記複数の差動入力回路を起動させ、前記出力信号に応答して前記複数の差動入力回路の動作を停止させる、

半導体装置。

【請求項7】 請求項6の半導体装置において、

前記複数のレジスタ回路は、少なくとも1つのシフトレジスタおよび少なくとも1つのデータレジスタを含み、前記ラッチ回路と接続されている前記レジスタ回路は前記シフトレジスタを含み、

前記ラッチ回路は、全ての前記シフトレジスタからの前記出力信号が入力されると前記複数の差動入力回路の動作を停止させる、

半導体装置。

【請求項8】 請求項6または7の半導体装置において、

前記複数のレジスタ回路の少なくとも一部と接続された出力端子をさらに有し

、  
前記出力端子は前記出力信号を外部へ出力する、

半導体装置。

【請求項9】 請求項6または7の半導体装置において、

前記ラッチ回路と接続されている前記レジスタ回路と接続された出力端子をさらに有し、

前記ラッチ回路と接続されている前記レジスタ回路は、接続されている前記差動入力回路から出力された信号の入力後、予め定められた時間経過後に前記出力端子に別の出力信号を出力し、

前記出力端子は前記別の出力信号を外部へ出力する、  
半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体システムおよび半導体装置に関し、さらに詳しくは消費電力の低減が可能な半導体システムおよび半導体装置に関する。

【0002】

【従来の技術】

液晶表示装置、プラズマディスプレイのような表示装置が広く使用されている。このような表示装置では、消費電力を低減されることが望まれている。

図9は従来用いられている液晶表示装置の構成を示す。

図9を参照すると、従来用いられている液晶表示装置101は、表示デバイス102、垂直駆動装置103および水平駆動装置104から構成される。

【0003】

表示デバイス102は、従来知られている液晶パネル部分である。この液晶パネル部分は、横方向にX行のゲートバスライン（図示せず）、縦方向にY列のデータバスライン（図示せず）によって囲まれた各領域に設けられた複数の画素からなる。各画素は、1つのゲートバスラインおよび1つのデータバスラインと接続されている。各画素は、画素電極とスイッチング素子を含む。スイッチング素子は電界効果トランジスタからなる。スイッチング素子のゲートはゲートバスラインと接続されている。スイッチング素子のソースはデータバスラインと接続されている。スイッチング素子のドレインは画素電極と接続されている。

【0004】

垂直駆動装置103は、ゲートバスラインを走査する機能を有する。  
水平駆動装置104は、データバスラインの電圧レベルを制御する機能を有する。

【0005】

次に、従来用いられている液晶表示装置の動作を示す。

垂直駆動装置 1 0 3 は上から下へ 1 つずつゲートバスラインを走査する。水平駆動装置 1 0 4 は、ゲートバスラインの電圧レベルがハイである複数の画素の各々に対して光の強度が定められた画素データに基づいて、対応する画素と接続されているデータバスラインの電圧レベルを制御する。これによって、垂直駆動装置 1 0 3 に走査されるゲートバスラインと接続されている画素は、画素データに応じた光の強度で発光することが可能となる。

## 【 0 0 0 6 】

図 1 0 は、水平駆動装置 1 0 4 の構成を示す。

図 1 0 を参照すると、水平駆動装置 1 0 4 は、入力端子 1 1 2 に接続された複数の水平駆動回路 1 1 1 - 1, 1 1 1 - 2, 1 1 1 - 3, 1 1 1 - n から構成される。

## 【 0 0 0 7 】

各水平駆動回路 1 1 1 は、入力端子 1 1 2 から入力される入力信号 D 1 0 1 の電圧レベルがハイのときに駆動する。このため、入力信号 D 1 0 1 の電圧レベルがハイのとき、入力端子 1 1 2 に接続された全ての水平駆動回路 1 1 1 - 1, 1 1 1 - 2, 1 1 1 - 3, 1 1 1 - n が駆動する。

## 【 0 0 0 8 】

図 1 1 は従来技術における水平駆動回路 1 1 1 の構成を示す。

図 1 1 を参照すると、従来技術における水平駆動回路 1 1 1 は、第 1 の差動入力回路 1 1 3、第 2 の差動入力回路 1 1 4、第 3 の差動入力回路 1 1 8、第 1 のレジスタ回路 1 1 5、および第 2 のレジスタ回路 1 1 6 から構成される。

## 【 0 0 0 9 】

また、従来技術における水平駆動回路 1 1 1 は、後述するスタートパルス信号が入力されるスタートパルス入力端子 1 1 9、およびそのスタートパルス信号を出力するためのスタートパルス出力端子 1 2 0 をも有する。

## 【 0 0 1 0 】

またここで、スタートパルス信号は、後述する第 2 のレジスタ回路 1 1 6 および第 3 のレジスタ回路 1 1 8 にデータ信号 D 1 0 2 b, D 1 0 2 c によって供給されるデータを取り込むときに必要な同期を取るための信号である。

## 【0011】

第1の差動入力回路13は、入力端子112、クロック信号入力端子D2a-1, D2a-2および後述する第1のシフトレジスタ回路15を構成する複数のフリップフロップ115-1, 115-2, 115-3, …115-(j-1), 115-jと接続されている。

## 【0012】

第1の差動入力回路113は、入力端子112の電圧値がVB ( $VB > 0$ ) の時、動作する。動作中の第1の差動入力回路13には、クロック信号入力端子D102a-1, D102a-2からクロック信号D102aが入力される。また、動作中の第1の差動入力回路13は、クロック信号D102aが入力されると、複数のフリップフロップ115-1, 115-2, 115-3, …115-(j-1), 115-jにクロック信号D102aを供給する。

## 【0013】

第2の差動入力回路114は、入力端子112、データ信号入力端子D102b-1, D102b-2および後述する第2のレジスタ回路116の第1のデータレジスタ116aと接続されている。

## 【0014】

第2の差動入力回路114は、入力端子112の電圧値がVB ( $VB > 0$ ) の時、動作する。動作中の第2の差動入力回路114には、データ信号入力端子D102b-1, D102b-2から第1のデータ信号D102bが入力される。また、動作中の第2の差動入力回路114は、第1のデータ信号D102bが入力されると、第1のデータレジスタ116aに第1のデータ信号D102bを供給する。

## 【0015】

第3の差動入力回路118は、入力端子112、データ信号入力端子D102c-1, D102c-2および後述する第2のレジスタ回路116の第2のデータレジスタ116bと接続されている。

## 【0016】

第3の差動入力回路118は、入力端子112の電圧値がVB ( $VB > 0$ ) の

時、動作する。動作中の第3の差動入力回路113には、データ信号入力端子D102c-1, D102c-2から第2のデータ信号D102cが入力される。また、動作中の第3の差動入力回路118は、第2のデータ信号D102cが入力されると、第2のデータレジスタ116bに第2のデータ信号D102cを供給する。

## 【0017】

第1のレジスタ回路115は、第1の差動入力回路113、スタートパルス入力端子119、およびスタートパルス出力端子120と接続されている。

## 【0018】

第1のレジスタ回路115は複数のフリップフロップ115-1, 115-2, 115-3, …115-(j-1), 115-jから構成される。また、各フリップフロップ115-1, 115-2, 115-3, …115-(j-1), 115-jは、第1の差動入力回路113と接続されている。更に、各フリップフロップ115-1, 115-2, 115-3, …115-(j-1), 115-jは、後述する第2のレジスタ回路116に含まれる1組の第1のデータレジスタ116aおよび第2のデータレジスタ116bと接続されている。他に、この複数のフリップフロップ115-1, 115-2, 115-3, …115-(j-1), 115-jは、後述するスタートパルス信号（図示せず）を1クロックずつ遅延させて伝達させるために、カスケード接続されている。スタートパルス入力端子119は、このカスケード接続の入力端としてのフリップフロップ115-1に接続されている。また、スタートパルス出力端子120は、フリップフロップ115-(j-1)の出力端に接続されている。

## 【0019】

次に、複数のフリップフロップ115-1, 115-2, 115-3, …115-(j-1), 115-jの動作を以下に示す。

## 【0020】

まず、第1の差動入力回路113からクロック信号D102aが、各フリップフロップ115-1, 115-2, 115-3, …115-(j-1), 115-jへ供給される。



## 【 0 0 2 1 】

次に、スタートパルス信号がスタートパルス入力端子 1 1 9 からフリップフロップ 1 1 5 - 1 へ入力される。

## 【 0 0 2 2 】

そのスタートパルス信号が入力されたフリップフロップ 1 1 5 - 1 は、クロック信号 D 1 0 2 a の立ち上がりに対応して、1つのパルス信号を生成し、そのパルス信号をフリップフロップ 1 1 5 - 1 と接続されている1組の第1のデータレジスタ 1 6 a および第2のデータレジスタ 1 1 6 b へ供給する。次に、そのフリップフロップ 1 1 5 - 1 は、このクロック信号 D 1 0 2 a が次に立ち上がるまでにフリップフロップ 1 1 5 - 2 へシフト信号を出力する。

## 【 0 0 2 3 】

また、フリップフロップ 1 1 5 - (p - 1) ( $p$  は  $2 \leq p \leq j - 1$  を満たす整数) からシフト信号が入力されたフリップフロップ 1 1 5 - p は、1つのパルス信号を生成し、そのパルス信号をフリップフロップ 1 1 5 - p と接続されている1組の第1のデータレジスタ 1 1 6 a および第2のデータレジスタ 1 1 6 b へ供給する。次に、そのフリップフロップ 1 1 5 - p は、このクロック信号 D 1 0 2 a が次に立ち上がるまでにフリップフロップ 1 1 5 - (p + 1) へシフト信号を出力する。

## 【 0 0 2 4 】

さらに、フリップフロップ 1 1 5 - (p - 1) からシフト信号が入力されたフリップフロップ 1 1 5 - p は、1つのパルス信号を生成し、そのパルス信号をフリップフロップ 1 1 5 - p と接続されている1組の第1のデータレジスタ 1 1 6 a および第2のデータレジスタ 1 1 6 b へ供給する。次に、そのフリップフロップ 1 1 5 - p は、このクロック信号 D 1 0 2 a が次に立ち上がるまでにフリップフロップ 1 1 5 - (p + 1) へシフト信号を出力する。

## 【 0 0 2 5 】

またさらに、フリップフロップ 1 1 5 - (j - 2) からシフト信号が入力されたフリップフロップ 1 1 5 - (j - 1) は、1つのパルス信号を生成し、そのパルス信号をフリップフロップ 1 1 5 (j - 2) と接続されている1組の第1のデ

ータレジスタ 1 1 6 a および第 2 のデータレジスタ 1 1 6 b へ供給する。次に、そのフリップフロップ 1 1 5 - (j - 1) は、このクロック信号 D 1 0 2 a が次に立ち上がるまでにフリップフロップ 1 1 5 - j、およびスタートパルス出力端子 1 2 0 へシフト信号を出力する。

## 【 0 0 2 6 】

加えて、フリップフロップ 1 1 5 - (j - 1) からシフト信号が入力されたフリップフロップ 1 1 5 - j は、1 つのパルス信号を生成し、そのパルス信号をフリップフロップ 1 1 5 - j と接続されている 1 組の第 1 のデータレジスタ 1 1 6 a および第 2 のデータレジスタ 1 1 6 b へ供給する。

## 【 0 0 2 7 】

第 2 のレジスタ回路 1 6 は、第 2 の差動入力回路 1 4、第 3 の差動入力回路 1 8、および第 1 のレジスタ回路 1 5 と接続されている。

## 【 0 0 2 8 】

第 2 のレジスタ回路 1 6 は、第 1 のレジスタ回路に含まれる複数のシフトレジスタと同数のレジスタ部 1 6 c からなる。ここで、各レジスタ部 1 6 c は 1 つの第 1 のデータレジスタ 1 6 a と 1 つの第 2 のデータレジスタ 1 6 b から構成される。各レジスタ部 1 6 c は、フリップフロップ 1 1 5 - 1, 1 1 5 - 2, 1 1 5 - 3, ... 1 1 5 - (j - 1), 1 1 5 - j と個別に接続されている。

## 【 0 0 2 9 】

次に、各レジスタ部 1 6 c の動作を以下に示す。

まず、レジスタ部 1 6 c と接続されているフリップフロップ 1 1 5 - 1, 1 1 5 - 2, 1 1 5 - 3, ... 1 1 5 - (j - 1), 1 1 5 - j からパルス信号が供給される。そのレジスタ部 1 1 6 c を構成する第 1 のデータレジスタ 1 1 6 a は、そのパルス信号の入力タイミングで、その第 1 のデータレジスタ 1 1 6 a と接続されている第 2 の差動入力回路 1 1 4 からの第 1 のデータ信号 D 1 0 2 b をラッチする。また、そのレジスタ部 1 1 6 c を構成する第 2 のデータレジスタ 1 1 6 b もまた、その第 2 のデータレジスタ 1 1 6 b と接続されている第 3 の差動入力回路 1 1 8 からの第 2 のデータ信号 D 1 0 2 c をラッチする。

## 【 0 0 3 0 】

次に、水平駆動回路 1 1 1 の動作を以下に示す。

スタートパルス入力端子 7 から入力されるスタートパルス信号は、第 1 の差動入力回路 1 2 1 から出力されるクロック信号 D 1 0 2 のエッジにより、シフトレジスタ 1 2 3 a, 1 2 3 b, 1 2 3 c, 1 2 3 d で順次遅延される。

#### 【 0 0 3 1 】

クロック信号 D 1 0 2 と同期して第 2 の差動入力回路 1 2 2 からデータ信号 D 1 0 3 が出力される。各データレジスタ 1 2 4 a は、接続されているシフトレジスタ 1 2 3 a, 1 2 3 b, 1 2 3 c, 1 2 3 d でのクロック信号 D 1 0 2 の立ち上がりのタイミングで、データ信号 D 1 0 3 をラッチする。

#### 【 0 0 3 2 】

上記に示すように、従来技術による水平駆動装置 1 0 4 の動作時に、その水平駆動装置 1 0 4 に含まれる全ての水平駆動回路 1 1 1 - 1, 1 1 1 - 2, 1 1 1 - 3, 1 1 1 - n が駆動している。また、水平駆動回路 1 1 1 に含まれる全ての差動入力装置 1 1 3, 1 1 4, 1 1 8 も駆動している。

#### 【 0 0 3 3 】

ここで、従来技術による水平駆動装置 1 0 4 では、差動入力装置 1 1 3, 1 1 4, 1 1 8 が立ち上がってから安定して動作するために約 500 ナノ秒必要とする。また、従来技術による水平駆動装置 1 0 4 では、レジスタ回路 1 1 6 でデータ信号 D 1 0 2 b, 1 0 2 c をラッチするために約 300 ナノ秒必要とする。このため、従来技術による液晶表示装置では、水平駆動装置 1 0 4 を安定して動作させるために、全ての水平駆動回路 1 1 1 - 1, 1 1 1 - 2, 1 1 1 - 3, 1 1 1 - n を駆動させている。

#### 【 0 0 3 4 】

消費電力の低減が可能で、かつ安定して駆動する水平駆動装置のような半導体システムおよび半導体装置が望まれている。

#### 【 0 0 3 5 】

また、消費電力の低減が可能な半導体装置の従来技術として、特開平 9 - 2 7 1 9 2 号公報に、「半導体集積回路装置」が開示されている。本従来例ではバス回路での信号の低振幅化に適用可能なインターフェイスを用いることにより、低

消費電力化を図った半導体集積回路が開示されている。

【 0 0 3 6 】

【発明が解決しようとする課題】

本発明の目的は、消費電力の低減が可能な半導体システムおよび半導体装置を提供することにある。

【 0 0 3 7 】

他に、本発明の目的は、消費電力の低減が可能で、安定して駆動する水平駆動装置のような半導体システムおよび半導体装置を提供することにある。

【 0 0 3 8 】

【課題を解決するための手段】

その課題を解決するための手段が、下記のように表現される。その表現中の請求項対応の技術的事項には、括弧 ( ) 付きで、番号、記号等が添記されている。その番号、記号等は、請求項対応の技術的事項と実施の複数・形態のうち少なくとも1つの技術的事項との一致・対応関係を明白にしているが、その請求項対応の技術的事項が実施の形態の技術的事項に限定されることを示すためのものではない。

【 0 0 3 9 】

上記の課題を解決するために、本発明によると、入力端子 ( 3 ) と出力端子 ( 4 ) を有する  $n$  個 ( $n > 2$ ) の回路部 ( 2 ) と、  $n$  個の回路部 ( 2 ) のうち、所定の  $k$  個 ( $2 \leq k < n$ ) の回路部 ( 2 ) の入力端子 ( 3 ) に接続された端子 ( 5 ) からなり、  $m$  番目 ( $1 \leq m \leq n - k$ ) の回路部 ( 2 ) の出力端子 ( 4 ) と ( $m + k$ ) 番目の回路部 ( 2 ) の入力端子 ( 3 ) とが接続されてなる半導体システムを提供する。

【 0 0 4 0 】

上記の半導体システムにおいて、各回路部 ( 2 ) は、入力端子 ( 3 ) からの入力信号 ( D 1 ) に応答して起動し、起動後所定の時間経過すると動作を中止することが可能である。

【 0 0 4 1 】

上記の半導体システムにおいて、各回路部 ( 2 ) は、差動入力回路 ( 1 3 , 1

4) とレジスタ回路 (15, 16) を有し、差動入力回路 (13, 14) は、入力端子 (3) からの入力信号 (D1) に応答して起動し、起動後所定の時間経過すると動作を中止することも可能である。

## 【0042】

上記の半導体システムにおいて、各回路部 (2) は、差動入力回路 (13, 14) とレジスタ回路 (15, 16) を有し、差動入力回路 (13, 14) は、入力端子 (3) からの入力信号 (D1) に応答して起動し、レジスタ回路 (15) からの出力信号 (D4) に応答して動作を中止することも可能である。

## 【0043】

上記の半導体システムにおいて、各回路部 (2) は、異なる半導体チップ (2) 内に設けられていることも可能である。

## 【0044】

また、上記の課題を解決するために、本発明によると、入力端子 (3) と、複数の差動入力回路 (13, 14, 18) と、複数の差動入力回路 (13, 14, 18) の出力端に個別に接続された複数のレジスタ回路 (15, 16) と、入力端子 (3)、複数のレジスタ回路 (15, 16) の少なくとも一部、および複数の差動入力回路 (13, 14) と接続されたラッチ回路 (11) とからなり、ラッチ回路 (11) と接続されているレジスタ回路 (15) は、接続されている差動入力回路 (13) から出力された信号を用いて予め定められた動作を実行し、動作が終了するとラッチ回路 (11) へ出力信号 (D4) を出力し、ラッチ回路 (11) は、入力端子 (3) からの入力信号 (D1) に応答して複数の差動入力回路 (13, 14, 18) を起動させ、出力信号 (D4) に応答して複数の差動入力回路 (13, 14, 18) の動作を停止させる半導体装置を提供する。

## 【0045】

上記の半導体装置において、複数のレジスタ回路 (15, 16) は、少なくとも1つのシフトレジスタ (15-1, 15-2, 15-3...15-(n-1), 15-n) および少なくとも1つのデータレジスタ (16c) を含み、ラッチ回路 (11) と接続されているレジスタ回路 (15) はシフトレジスタを含み、ラッチ回路 (11) は、全てのシフトレジスタからの出力信号が入力されると複数

の差動入力回路（１３，１４，１８）の動作を停止させることも可能である。

【００４６】

上記の半導体装置において、複数のレジスタ回路（１５，１６）の少なくとも一部と接続された出力端子（４）をさらに有し、出力端子（４）は出力信号を外部へ出力することも可能である。

【００４７】

上記の半導体装置において、ラッチ回路（１１）と接続されているレジスタ回路（１５）と接続された出力端子（４）をさらに有し、ラッチ回路（１１）と接続されているレジスタ回路（１５）は、接続されている差動入力回路（１３）から出力された信号の入力後、予め定められた時間経過後に出力端子（４）に別の出力信号を出力し、出力端子（４）は別の出力信号を外部へ出力することも可能である。

【００４８】

【発明の実施の形態】

以下図面を参照して、本発明における半導体装置を示す。ここで、本発明の半導体装置の実施形態は、液晶表示装置、プラズマディスプレイのような表示装置の水平駆動装置に適用しているが、本発明の半導体装置は本実施例に限定されない。

【００４９】

図１は、本発明における水平駆動装置の第１の実施形態の構成を示す。図１を参照すると、本発明における水平駆動装置１の第１の実施形態の構成は、複数の半導体チップ２－１，２－２，…２－ $n$ （ $n$ は３以上の整数）から構成される。各半導体チップ２は、入力端子３と出力端子４を有する。

【００５０】

半導体チップ２－１の第１の入力端子３－１および半導体チップ２－２の第１の入力端子３－２は、外部から制御信号Ｄ１が入力される第１の外部端子５と接続されている。半導体チップ２－１の出力端子４－１は半導体チップ２－３の入力端子３－３と接続されている。半導体チップ２－２の出力端子４－２は半導体チップ２－４の入力端子３－４と接続されている。半導体チップ２－ $m$ （ $1 \leq m$

$\leq n-2$ ) の出力端子  $4-m$  は半導体チップ  $2-(m+2)$  の入力端子  $3-(m+2)$  と接続されている。

【0051】

また、各半導体チップ  $2-1, 2-2, \dots, 2-n$  は電圧レベルが  $V_B$  ( $V_B > 0$ ) である第2の外部端子6と接続されている。

【0052】

半導体チップ  $2-m$  の出力端子  $4-m$  から出力された制御信号  $D_1$  は、入力端子  $3-(m+2)$  から半導体チップ  $2-(m+2)$  に入力される。

【0053】

また、図示しないが、各半導体チップ  $2-1, 2-2, \dots, 2-n$  には外部からデータ信号およびクロック信号が供給される。

【0054】

次に、本発明における水平駆動回路の第1の実施形態の動作を示す。

図2は、本発明における水平駆動回路の第1の実施形態の動作を示すタイムチャートである。

【0055】

図2を参照すると、第1の外部端子5から水平駆動回路1へパルス信号  $P_1$  が入力される。半導体チップ  $2-1, 2-2$  はパルス信号  $P_1$  の立ち上がりに対応して立ち上がる。半導体チップ  $2-1$  はデータの書き込み動作が終了すると、出力端子  $4-1$  からパルス信号  $P_2$  を出力して、動作を休止する。半導体チップ  $2-3$  はパルス信号  $P_2$  の立ち上がりに対応して立ち上がる。半導体チップ  $2-2$  はデータの書き込みが終了すると、出力端子  $4-2$  からパルス信号  $P_3$  を出力して、動作を休止する。半導体チップ  $2-4$  はパルス信号  $P_3$  の立ち上がりに対応して立ち上がる。同様に、半導体チップ  $2-m$  はデータの書き込みが終了すると、第1の出力端子  $4-m$  からパルス信号  $P(m+1)$  を出力して、動作を休止する。半導体チップ  $2-(m+2)$  はパルス信号  $P(m+1)$  の立ち上がりに対応して立ち上がる。また、半導体チップ  $2-m$  はデータの書き込みが終了すると動作を休止する。

【0056】

本発明における水平駆動回路の第1の実施形態では、多くとも2つの半導体チップのみ駆動している。

## 【0057】

図3は、上記半導体チップ2の構成を示す。

図3を参照すると、半導体チップ2は、ラッチ回路11、スイッチ部12、第1の差動入力回路13、第2の差動入力回路14、第3の差動入力回路18、第1のレジスタ回路15、第2のレジスタ回路16、およびフリップフロップ回路19から構成される。

## 【0058】

また、半導体チップ2は、後述するスタートパルス信号が入力されるスタートパルス入力端子7、およびそのスタートパルス信号を出力するためのスタートパルス出力端子8をも有する。ここで、図3で示される半導体チップ2を図1に示される半導体チップ $2-L$  ( $L$ は、 $2 \leq L \leq n-1$ の整数)とすると、この半導体チップ $2-L$ のスタートパルス入力端子7は、半導体チップ $2-(L-1)$ のスタートパルス出力端子8に接続されている。また、この半導体チップ $2-L$ のスタートパルス出力端子8は、半導体チップ $2-(L+1)$ のスタートパルス入力端子7に接続されている。さらに、図3で示される半導体チップ2が図1に示される半導体チップ $2-1$ の場合、この半導体チップ $2-1$ のスタートパルス入力端子7は、そのスタートパルス信号を供給するための図示しない外部端子と接続されている。また、この半導体チップ $2-1$ のスタートパルス出力端子8は、半導体チップ $2-2$ のスタートパルス入力端子7に接続されている。

## 【0059】

またここで、スタートパルス信号は、後述する第2のレジスタ回路16および第3のレジスタ回路18にデータ信号 $D2b$ 、 $D2c$ によって供給されるデータを取り込むときに必要な同期を取るための信号である。

## 【0060】

ラッチ回路11は、半導体チップ2の第1の入力端子3、フリップフロップ回路19、およびスイッチ部12と接続されている。

## 【0061】



ラッチ回路 11 は、入力端子 3 からの制御信号 D1 を受けて、制御信号 D3 の電圧レベルを VA (バイアス電圧であり、 $VA > 0$ ) にラッチして出力する。また、ラッチ回路 11 は、後述するフリップフロップ回路 19 からの制御信号 D4' を受けて、制御信号 D3 の電圧レベルを零電位にラッチして出力する。

## 【0062】

スイッチ部 12 は、ラッチ回路 11、ノード D5 と接続されている。ここで、ノード D5 は、スイッチ部 12、第 1 の差動入力回路 13、第 2 の差動入力回路 14、および第 3 の差動入力回路 18 と接続されている。また、スイッチ部 12 は、電位が VB ( $VB > 0$ ) である第 2 の外部端子 6 および接地 17 と接続されている。

## 【0063】

スイッチ部 12 は、制御信号 D3 に応答してノード D5 と第 2 の外部端子 6 および接地 17 のいずれか一方とを接続する。本実施例では、制御信号 D3 の電圧レベルが VA の場合、スイッチ部 12 はノード D5 と第 2 の外部端子 6 とを接続し、ノード D5 の電圧レベルを VB にする。また、制御信号 D3 の電圧レベルが零電位の場合、スイッチ部 12 はノード D5 と接地 17 とを接続し、ノード D5 の電圧レベルを零にする。

## 【0064】

第 1 の差動入力回路 13 は、クロック信号入力端子 D2a-1, D2a-2、ノード D5、およびノード D6 と接続されている。ここで、ノード D6 は、第 1 の差動入力回路 13、後述する第 1 のシフトレジスタ回路 15 を構成する複数のフリップフロップ 15-1, 15-2, 15-3, ..., 15-(j-1), 15-j の各々、およびフリップフロップ回路 19 と接続されている。

## 【0065】

第 1 の差動入力回路 13 には、クロック信号入力端子 D2a-1, D2a-2 からクロック信号 D2a が入力される。また、第 1 の差動入力回路 13 は、ノード D5 の電圧レベルが VB の場合に動作し、ノード D5 の電圧レベルが零の場合に動作を中止する。また、動作中の第 1 の差動入力回路 13 は、クロック信号 D2a が入力されると、ノード D6 にクロック信号 D2a を供給する。

## 【 0 0 6 6 】

第 2 の差動入力回路 1 4 には、データ信号入力端子 D 2 b - 1, D 2 b - 2 から第 1 のデータ信号 D 2 b が入力される。また、第 2 の差動入力回路 1 4 は、ノード D 5 の電圧レベルが V B の場合に動作する。また、第 2 の差動入力回路 1 4 の出力部は、後述する第 2 のレジスタ回路 1 6 の第 1 のデータレジスタ 1 6 a と接続されている。また、動作中の第 2 の差動入力回路 1 4 は、第 1 のデータ信号 D 2 b が入力されると、第 1 のデータレジスタ 1 6 a に第 1 のデータ信号 D 2 b を供給する。

## 【 0 0 6 7 】

第 3 の差動入力回路 1 8 には、データ信号入力端子 D 2 c - 1, D 2 c - 2 から第 2 のデータ信号 D 2 c が入力される。また、第 3 の差動入力回路 1 8 は、ノード D 5 の電圧レベルが V B の場合に動作する。また、第 3 の差動入力回路 1 8 の出力部は、後述する第 2 のレジスタ回路 1 6 の第 2 のデータレジスタ 1 6 b と接続されている。

## 【 0 0 6 8 】

第 3 の差動入力回路 1 8 には、データ信号入力端子 D 2 c - 1, D 2 c - 2 から第 2 のデータ信号 D 2 c が入力される。また、第 3 の差動入力回路 1 8 は、ノード D 5 の電圧レベルが V B の場合に動作する。また、第 3 の差動入力回路 1 8 の出力部は、後述する第 2 のレジスタ回路 1 6 の第 2 のデータレジスタ 1 6 b と接続されている。また、動作中の第 3 の差動入力回路 1 8 は、第 2 のデータ信号 D 2 c が入力されると、第 2 のデータレジスタ 1 6 b に第 2 のデータ信号 D 2 c を供給する。

## 【 0 0 6 9 】

第 1 のレジスタ回路 1 5 は、出力端子 4、ノード D 6、スタートパルス入力端子 7、スタートパルス出力端子 8、およびフリップフロップ回路 1 9 と接続されている。

## 【 0 0 7 0 】

第 1 のレジスタ回路 1 5 は複数のフリップフロップ 1 5 - 1, 1 5 - 2, 1 5 - 3, ... 1 5 - (j - 1), 1 5 - j から構成される。また、各フリップフロップ

プ15-1, 15-2, 15-3, …15-(j-1), 15-jは、ノードD6と接続されている。更に、各フリップフロップ15-1, 15-2, 15-3, …15-(j-1), 15-jは、後述する第2のレジスタ回路16に含まれる1組の第1のデータレジスタ16aおよび第2のデータレジスタ16bと接続されている。他に、この複数のフリップフロップ15-1, 15-2, 15-3, …15-(j-1), 15-jは、後述するスタートパルス信号（図示せず）を1クロックずつ遅延させて伝達させるために、カスケード接続されている。このカスケード接続の入力端としてのフリップフロップ15-1がスタートパルス入力端子7に接続されている。また、このカスケード接続の出力端としてのフリップフロップ15-jが出力端子4およびフリップフロップ回路19に接続されている。さらに、フリップフロップ15-(j-1)とフリップフロップ15-jとを接続するノードD7に、スタートパルス出力端子8が接続されている。

## 【0071】

次に、複数のフリップフロップ15-1, 15-2, 15-3, …15-(j-1), 15-jの動作を以下に示す。

## 【0072】

まず、第1の差動入力回路13の動作が安定すると、第1の差動入力回路13はノードD6へクロック信号D2aを供給する。

次に、スタートパルス信号がスタートパルス入力端子7からフリップフロップ15-1へ入力される。

## 【0073】

そのスタートパルス信号が入力されたフリップフロップ15-1は、ノードD6に供給されたクロック信号D2aの立ち上がりに対応して、1つのパルス信号を生成し、そのパルス信号をフリップフロップ15-1と接続されている1組の第1のデータレジスタ16aおよび第2のデータレジスタ16bへ供給する。次に、そのフリップフロップ15-1は、このクロック信号D2aが次に立ち上がるまでにフリップフロップ15-2へシフト信号を出力する。

## 【0074】

また、フリップフロップ15-(p-1) (pは $2 \leq p \leq j-1$ を満たす整数

）からシフト信号が入力されたフリップフロップ15-pは、1つのパルス信号を生成し、そのパルス信号をフリップフロップ15-pと接続されている1組の第1のデータレジスタ16aおよび第2のデータレジスタ16bへ供給する。次に、そのフリップフロップ15-pは、このクロック信号D2aが次に立ち上がるまでにフリップフロップ15-(p+1)へシフト信号を出力する。

【0075】

さらに、フリップフロップ15-(p-1)からシフト信号が入力されたフリップフロップ15-pは、1つのパルス信号を生成し、そのパルス信号をフリップフロップ15-pと接続されている1組の第1のデータレジスタ16aおよび第2のデータレジスタ16bへ供給する。次に、そのフリップフロップ15-pは、このクロック信号D2aが次に立ち上がるまでにフリップフロップ15-(p+1)へシフト信号を出力する。

【0076】

またさらに、フリップフロップ15-(j-2)からシフト信号が入力されたフリップフロップ15-(j-1)は、1つのパルス信号を生成し、そのパルス信号をフリップフロップ15-(j-2)と接続されている1組の第1のデータレジスタ16aおよび第2のデータレジスタ16bへ供給する。次に、そのフリップフロップ15-(j-1)は、このクロック信号D2aが次に立ち上がるまでにフリップフロップ15-j、およびスタートパルス出力端子8へシフト信号を出力する。ここで、このスタートパルス出力端子8に出力されたシフト信号は、このスタートパルス出力端子8と接続されている他の半導体チップ2のスタートパルス入力端子7から、スタートパルス信号として、その他の半導体チップ2に入力される。

【0077】

加えて、フリップフロップ15-(j-1)からシフト信号が入力されたフリップフロップ15-jは、1つのパルス信号を生成し、そのパルス信号をフリップフロップ15-jと接続されている1組の第1のデータレジスタ16aおよび第2のデータレジスタ16bへ供給する。次に、そのフリップフロップ15-(j-1)は、そのパルス信号の出力後であって、このクロック信号D2aが次に

立ち上がるまでに、そのシフト信号を制御信号D4として出力端子4およびフリップフロップ回路19へ出力する。

## 【0078】

第2のレジスタ回路16は、第2の差動入力回路14、第3の差動入力回路18、および第1のレジスタ回路15と接続されている。

## 【0079】

第2のレジスタ回路16は、第1のレジスタ回路に含まれる複数のフリップフロップ15-1, 15-2, 15-3, ..., 15-(j-1), 15-jと同数のレジスタ部16cからなる。ここで、各レジスタ部16cは1つの第1のデータレジスタ16aと1つの第2のデータレジスタ16bから構成される。各レジスタ部16cは、フリップフロップ15-1, 15-2, 15-3, ..., 15-(j-1), 15-jと個別に接続されている。具体的には、各レジスタ部16cを構成する第1のデータレジスタ16aと第2のデータレジスタ16bは、対応する1つのシフトレジスタに接続されている。

## 【0080】

次に、各レジスタ部16cの動作を以下に示す。

まず、レジスタ部16cと接続されているフリップフロップ15-1, 15-2, 15-3, ..., 15-(j-1), 15-jからパルス信号が供給される。そのレジスタ部16cを構成する第1のデータレジスタ16aは、そのパルス信号の入力タイミングで、その第1のデータレジスタ16aと接続されている第2の差動入力回路14からの第1のデータ信号D2bをラッチする。また、そのレジスタ部16cを構成する第2のデータレジスタ16bもまた、その第2のデータレジスタ16bと接続されている第3の差動入力回路18からの第2のデータ信号D2cをラッチする。

## 【0081】

フリップフロップ回路19は、ノードD6、第1のレジスタ回路15、およびラッチ回路11と接続されている。

## 【0082】

フリップフロップ回路19は、第1の差動入力回路13からノードD6へクロ

ック信号  $D2a$  が供給され、かつ、第 1 のレジスタ回路 15 のシフトレジスタ  $15-j$  から制御信号  $D4$  が出力されると、ラッチ回路 11 へ制御信号  $D4'$  を出力する。

## 【0083】

上記に示すように、半導体チップ 2 は入力端子 3 からの制御信号  $D1$  を受けて第 1 の差動入力回路 13、第 2 の差動入力回路 14、および第 3 の差動入力回路 18 を動作させる。また、半導体チップ 2 はフリップフロップ回路 19 からの制御信号  $D4'$  を受けて第 1 の差動入力回路 13、第 2 の差動入力回路 14、および第 3 の差動入力回路 18 の動作を停止させる。

## 【0084】

ここで、上記に示される半導体チップ 2 では、ラッチ回路 11 は、フリップフロップ回路 19 からラッチ回路 11 に出力された制御信号  $D4'$  に応答して、3 つの差動入力回路 13、14、18 の動作を中止するように制御する。ここで、第 1 のレジスタ回路 15 が複数存在する場合、フリップフロップ回路 19 は、全ての第 1 のレジスタ回路 15 からの制御信号  $D4$  が得られた時に制御信号  $D4'$  をラッチ回路 11 へ出力する。この場合、ラッチ回路 11 は制御信号  $D4'$  を受けてその 3 つの差動入力回路 13、14、18 の動作を中止するように制御する。

## 【0085】

次に、差動入力回路 13、14、18 の構成、動作を示す。

まず、第 1 の差動入力回路 13 の構成、動作を以下に示す。

図 4 は、本発明における水平駆動回路の第 1 の実施形態での第 1 の差動入力回路 13 の構成を示す。

## 【0086】

図 4 を参照すると、第 1 の差動入力回路 13 の本実施形態は、電位が  $V_{DD}$  ( $V_{DD} > 0$ ) である端子 21、第 1 の回路部 22、第 2 の回路部 23 および波形整形回路部 24 から構成される。また、差動入力回路 13 は外部タイミングコントローラの駆動回路 30 とクロック信号入力端子  $D2a-1$ 、 $D2a-2$  で接続されている。

## 【 0 0 8 7 】

端子 2 1 は、第 1 の回路部 2 2 および第 2 の回路部 2 3 と接続される。

第 1 の回路部 2 2 は、端子 2 1、波形整形回路部 2 4、クロック信号入力端子 D 2 a - 1、D 2 a - 2、およびノード D 5 と接続されている。ここで、クロック信号 D 2 a は、クロック信号入力端子 D 2 a - 1、D 2 a - 2 から入力される。

## 【 0 0 8 8 】

第 1 の回路部 2 2 は、第 1 の P チャネルトランジスタ 2 2 a および第 2 の P チャネルトランジスタ 2 2 b を有する。第 1 の P チャネルトランジスタ 2 2 a のソース、および第 2 の P チャネルトランジスタ 2 2 b のソースは、端子 2 1 と接続されている。第 1 の P チャネルトランジスタ 2 2 a のドレインは、第 1 の P チャネルトランジスタ 2 2 a のゲート、第 2 の P チャネルトランジスタ 2 2 b のゲートおよび第 1 の N チャネルトランジスタ 2 2 c のソースと接続されている。第 1 の N チャネルトランジスタ 2 2 c のドレインは、クロック信号入力端子 D 2 a - 1 および第 3 の N チャネルトランジスタ 2 2 e のドレインと接続されている。第 3 の N チャネルトランジスタ 2 2 e のソースは、接地 2 2 g および第 4 の N チャネルトランジスタ 2 2 f のソースと接続されている。第 4 の N チャネルトランジスタ 2 2 f のドレインは、クロック信号入力端子 D 2 a - 2 および第 2 の N チャネルトランジスタ 2 2 d のドレインと接続されている。第 2 の N チャネルトランジスタ 2 2 d のソースは、第 2 の P チャネルトランジスタ 2 2 b のドレインおよび波形整形回路部 2 4 の第 1 の端子 2 4 a と接続されている。さらに、第 2 の P チャネルトランジスタ 2 2 d のゲートは、第 1 の P チャネルトランジスタ 2 2 c のゲート、第 3 の N チャネルトランジスタ 2 2 e のゲート、第 4 の N チャネルトランジスタ 2 2 f のゲート、およびノード D 5 と接続されている。

## 【 0 0 8 9 】

第 2 の回路部 2 3 は、端子 2 1、波形整形回路部 2 4、クロック信号入力端子 D 2 a - 1、D 2 a - 2、およびノード D 5 と接続されている。

## 【 0 0 9 0 】

第 2 の回路部 2 3 は、第 3 の P チャネルトランジスタ 2 3 a および第 4 の P チャネルトランジスタ 2 3 b を有する。第 3 の P チャネルトランジスタ 2 3 a のソ

ース、および第4のPチャネルトランジスタ23bのソースは、端子21と接続されている。第3のPチャネルトランジスタ23aのドレインは、電流-電圧変換部24の第2の端子24bおよび第5のNチャネルトランジスタ23cのドレインと接続されている。第5のNチャネルトランジスタ23cのソースは、クロック信号入力端子D2a-1と接続されている。第5のNチャネルトランジスタ23cのゲートは、第6のNチャネルトランジスタ23dのゲートおよびノードD5と接続されている。第6のNチャネルトランジスタ23dのドレインはクロック信号入力端子D2a-2と接続されている。第6のNチャネルトランジスタ23dのソースは、第3のPチャネルトランジスタ23aのゲート、および第4のPチャネルトランジスタ23bのゲートとドレインに接続されている。

## 【0091】

波形整形回路部24は、第1の端子24aで第2の回路部23に接続され、第2の端子24bで第1の回路部22と接続されている。また、波形整形回路部24は、ノードD6と接続されている。

## 【0092】

波形整形回路部24は、第1のNANDゲート25、第2のNANDゲート26、およびインバータ回路27を有する。第1のNANDゲート25の第1の入力端は第1の端子24aと接続されている。第2のNANDゲート26の第1の入力端は第2の端子24bと接続されている。また、第1のNANDゲート25の第2の入力端は第2のNANDゲート26の出力端と接続されている。また、第1のNANDゲート25の出力端は、第2のNANDゲート26の第2の入力端およびインバータ回路27の入力端に接続されている。さらに、インバータ回路27の出力端はノードD6と接続された外部端子31と接続されている。

## 【0093】

外部タイミングコントローラの駆動回路30には、外部タイミングコントローラの内部端子29からクロック信号D2aが入力される。また、外部タイミングコントローラの駆動回路30は、クロック信号入力端子D2a-1およびクロック信号入力端子D2a-2と接続されている。

## 【0094】



外部タイミングコントローラの駆動回路 3 0 は、インバータ回路 2 8、第 7 の N チャンネルトランジスタ 3 0 a、および第 8 の N チャンネルトランジスタ 3 0 b から構成される。外部タイミングコントローラの内部端子 2 9 は、インバータ回路 2 8 の入力端と第 7 の N チャンネルトランジスタ 3 0 a のゲートに接続されている。第 7 の N チャンネルトランジスタ 3 0 a のドレインはクロック信号入力端子 D 2 a - 1 と接続されている。第 7 の N チャンネルトランジスタ 3 0 a のソースは接地 3 0 c および第 8 の N チャンネルトランジスタ 3 0 b のソースと接続されている。第 8 の N チャンネルトランジスタ 3 0 b のゲートはインバータ回路 2 8 の出力端と接続されている。第 8 の N チャンネルトランジスタ 3 0 b のドレインはクロック信号入力端子 D 2 a - 2 と接続されている。

## 【 0 0 9 5 】

次に、第 1 の差動入力回路 1 3 の本実施形態での動作を示す。  
まず、ノード D 5 の電圧レベルがゼロの場合を以下に示す。

## 【 0 0 9 6 】

第 1 の回路部 2 2 において、第 1 の N チャンネルトランジスタ 2 2 c、第 2 の N チャンネルトランジスタ 2 2 d、第 3 の N チャンネルトランジスタ 2 2 e および第 4 の N チャンネルトランジスタ 2 2 f のゲートの電圧レベルがロウである。このため、第 1 の N チャンネルトランジスタ 2 2 c、第 2 の N チャンネルトランジスタ 2 2 d、第 3 の N チャンネルトランジスタ 2 2 e および第 4 の N チャンネルトランジスタ 2 2 f では、ソースドレイン間が導通されない。よって、タイミングコントローラの内部端子 2 9 の電圧レベルの変化に応答した、第 7 の N チャンネルトランジスタ 3 0 a および第 8 の N チャンネルトランジスタ 3 0 b の ON, OFF に関わらず、第 1 の端子 2 4 a の電圧レベルは変化しない。

## 【 0 0 9 7 】

第 2 の回路部 2 3 において、第 5 の N チャンネルトランジスタ 2 3 c、第 6 の N チャンネルトランジスタ 2 3 d のゲートの電圧レベルがロウである。このため、第 5 の N チャンネルトランジスタ 2 3 c と第 6 の N チャンネルトランジスタ 2 3 d では、ソースドレイン間が導通されない。よって、タイミングコントローラの内部端子 2 9 の電圧レベルの変化に応答した、第 7 の N チャンネルトランジスタ 3 0 a

および第 8 の N チャンネルトランジスタ 3 0 b の ON, OFF に関わらず、第 2 の端子 2 4 b の電圧レベルは変化しない。

この結果、ノード D 5 の電圧レベルがゼロの場合、第 1 の端子 2 4 a および第 2 の端子 2 4 b の電圧レベルは固定される。よって、第 1 の差動入力回路 1 3 の外部端子 3 1 での出力電圧レベルは固定される。

#### 【 0 0 9 8 】

次に、ノード D 5 の電圧レベルが  $V_B$  ( $V_B > 0$ ) の場合を以下に示す。

第 1 の回路部 2 2 において、第 1 の N チャンネルトランジスタ 2 2 c、第 2 の N チャンネルトランジスタ 2 2 d、第 3 の N チャンネルトランジスタ 2 2 e および第 4 の N チャンネルトランジスタ 2 2 f のゲートの電圧レベルが  $V_B$  である。このため、第 1 の N チャンネルトランジスタ 2 2 c、第 2 の N チャンネルトランジスタ 2 2 d、第 3 の N チャンネルトランジスタ 2 2 e および第 4 の N チャンネルトランジスタ 2 2 f では、ソースドレイン間が導通される。

#### 【 0 0 9 9 】

第 2 の回路部 2 3 において、第 5 の N チャンネルトランジスタ 2 3 c、第 6 の N チャンネルトランジスタ 2 3 d のゲートの電圧レベルが  $V_B$  である。このため、第 3 の P チャンネルトランジスタ 2 3 c と第 4 の P チャンネルトランジスタ 2 3 d では、ソースドレイン間が導通される。

#### 【 0 1 0 0 】

ここで、クロック信号 D 2 a がハイの場合、第 7 の N チャンネルトランジスタ 3 0 a のゲートの電圧はハイとなり、第 8 の N チャンネルトランジスタ 3 0 b のゲートの電圧はロウとなる。このため、第 7 の N チャンネルトランジスタ 3 0 a のソースドレイン間は導通されるが、第 8 の N チャンネルトランジスタ 3 0 b のソースドレイン間は導通されない。よって、クロック信号入力端子 D 2 a - 1 の電圧レベルはほぼ零となり、クロック信号入力端子 D 2 a - 2 はオープンになる。

#### 【 0 1 0 1 】

この場合、第 1 の回路部 2 2 では、第 1 の N チャンネルトランジスタ 2 2 c のソースドレイン間が導通されているために、第 1 の P チャンネルトランジスタ 2 2 a および第 2 の P チャンネルトランジスタ 2 2 b のゲートの電圧レベルが下がる。

このため、第1のPチャネルトランジスタ22aおよび第2のPチャネルトランジスタ22bでソースドレイン間が導通される。よって、第1の端子24aは端子21と電氣的に接続され、第1の端子24aの電位は $V_{DD}$ となる。

## 【0102】

また、第2の回路部23では、第5のNチャネルトランジスタ23cのソースドレイン間が導通されているために、第2の端子24bはクロック信号入力端子D2a-1と電氣的に接続される。このため、第2の端子24bの電位はロウとなる。

## 【0103】

上記の場合、波形整形回路部24では、第2の端子24bの電位がロウであるために、第2のNANDゲート26の出力端の電圧レベルはハイになる。次に、第2のNANDゲート26の出力端と、第1の端子24aの電圧レベルはハイであるために、第1のNANDゲート25の出力端の電圧レベルはロウになる。この結果、第2のNANDゲート26の第2の入力端およびインバータ回路27の入力端の電圧レベルはロウになる。よって、インバータ回路27の出力端の電圧レベルはハイになり、外部端子31の電圧レベルはハイになる。

## 【0104】

次に、クロック信号D2aがロウの場合、第7のNチャネルトランジスタ30aのゲートの電圧はロウとなり、第8のNチャネルトランジスタ30bのゲートの電圧はハイとなる。このため、第8のNチャネルトランジスタ30bのソースドレイン間は導通されるが、第7のNチャネルトランジスタ30aのソースドレイン間は導通されない。よって、クロック信号入力端子D2a-1はオープンになり、クロック信号入力端子D2a-2の電圧レベルはほぼ零となる。

## 【0105】

この場合、第1の回路部22では、第2のNチャネルトランジスタ22dのソースドレイン間が導通されているために、クロック信号入力端子D2a-2と第1の端子24aとが電氣的に接続される。このため、第1の端子24aの電位はロウである。

## 【0106】

また、第2の回路部23では、第6のNチャネルトランジスタ23dのソースドレイン間が導通されているために、第3のPチャネルトランジスタ23aのゲートおよび第4のPチャネルトランジスタ23bのゲートの電位が下がる。この結果、第3のPチャネルトランジスタ23aおよび第4のPチャネルトランジスタ23bでソースドレイン間が導通される。よって、端子21と第2の端子24bとが電氣的に接続される。このため、第2の端子24bの電位は $V_{DD}$ となる。

## 【0107】

上記の場合、波形整形回路部24では、第1の端子24aの電位がロウであるために、第1のNANDゲート25の出力端の電圧レベルはハイになる。次に、第1のNANDゲート25の出力端と、第2の端子24bの電圧レベルはハイであるために、第2のNANDゲート26の出力端の電圧レベルはロウになる。この結果、第1のNANDゲート25の出力端の電圧レベルはハイのまま固定される。よって、インバータ回路27の入力端の電圧レベルはハイになり、インバータ回路27の出力端の電圧レベルはロウになる。この結果、外部端子31の電圧レベルはロウになる。

## 【0108】

次に、第2の差動入力回路14の構成、動作を以下に示す。

第2の差動入力回路14の構成および動作は、外部端子29から第1のデータ信号D2bが入力されることと、外部端子31が第2のレジスタ回路16の第1のデータレジスタ16aに接続されていること以外は、差動入力回路13の構成および動作と同じである。

## 【0109】

次に、第3の差動入力回路18の構成、動作を以下に示す。

第3の差動入力回路18の構成および動作は、外部端子29から第2のデータ信号D2cが入力されることと、外部端子31が第2のレジスタ回路16の第2のデータレジスタ16bに接続されていること以外は、差動入力回路13の構成および動作と同じである。

## 【0110】

次に、本発明における水平駆動装置の第 2 の実施形態を示す。本発明における水平駆動装置の第 2 の実施形態は、本発明における水平駆動装置の第 1 の実施形態と比べて、半導体チップ 2 の構成が異なる。

#### 【0 1 1 1】

図 5 は、本発明における水平駆動装置の第 2 の実施形態での半導体チップ 2 の構成を示す。この第 2 の実施形態での半導体チップ 2 では、第 1 の実施形態での半導体チップ 2 で出力端子 4 が第 1 のレジスタ回路 1 5 に含まれるシフトレジスタ 1 5 - j と接続されている代わりに、出力端子 4 は第 1 のレジスタ回路 1 5 に含まれるシフトレジスタ 1 5 - q ( $q$  は  $1 \leq q \leq j - 1$  を満たす整数であり、図 5 で示される水平駆動装置の第 2 の実施形態での半導体チップ 2 によると  $q = 2$  である) の出力端と接続されていることを除いて、第 1 の実施形態での半導体チップ 2 と同じ構成を有する。ここで、この第 2 の実施形態での半導体チップ 2 では、出力端子 4 は第 1 のレジスタ回路 1 5 の最後部に接続されているシフトレジスタ 1 5 - j 以外の 1 つのシフトレジスタと接続される構成であって、出力端子 4 に接続されるシフトレジスタは、シフトレジスタ 1 5 - 2 に限定されない。

#### 【0 1 1 2】

次に、本発明における水平駆動装置の第 2 の実施形態での半導体チップ 2 の動作を以下に示す。図 6 を参照すると、入力端子 3 から半導体チップ 2 へパルス信号 P 6 が入力される。制御信号 D 3 の電圧レベルはそのパルス信号 P 6 の立ち上がりに応じて V A に変化する。第 1 の差動入力回路 1 3、第 2 の差動入力回路 1 4 および第 3 の差動入力回路 1 8 は、制御信号 D 3 の電圧レベルが V A になると動作を開始する。

#### 【0 1 1 3】

次に、フリップフロップ 1 5 - 2 から出力端子 4 へシフト信号が出力されると、出力端子 4 はパルス信号 P 7 を出力する。これにより、この出力端子 4 に入力端子 3 が接続されている他の半導体チップ 2 に制御信号 D 4 としてのパルス信号 P 7 が入力される。

#### 【0 1 1 4】

次に、フリップフロップ 1 5 - j からフリップフロップ回路 1 9 へシフト信号

が出力されると、フリップフロップ回路 1 9 は、ラッチ回路 1 1 に制御信号 D 4' としてのパルス信号 P 8 を出力する。ラッチ回路 1 1 はそのパルス信号 P 8 の立ち上がりに応答して、制御信号 D 3 の電圧レベルを零にする。第 1 の差動入力回路 1 3、第 2 の差動入力回路 1 4 および第 3 の差動入力回路 1 8 は、制御信号 D 3 の電圧レベルが零になると動作を休止する。

## 【 0 1 1 5 】

本発明における水平駆動回路の第 2 の実施形態では、駆動する半導体チップ 2 の数は少なくとも 2 つ、多くとも 4 つであり、全ての半導体チップが同時に駆動することはない。

## 【 0 1 1 6 】

第 1 の差動入力回路 1 3 は、ノード D 5 がハイに変化してから、安定して動作するまでに 300~500 ナノ秒必要とする。これは、第 1 の差動入力回路 1 3 に含まれるトランジスタが安定して動作するために 300~500 ナノ秒かかるからである。また、第 1 のレジスタ回路 1 5 および第 2 のレジスタ回路 1 6 でのデータの書き込みに必要な時間は 300 ナノ秒以下である。さらに第 1 のレジスタ回路 1 5 および第 2 のレジスタ回路 1 6 の動作の高速化によって、そのデータの書き込みに必要な時間はより短くなっている。このため、半導体チップ 2 は、入力端子 3 から制御信号 D 1 が入力されてから 300~500 ナノ秒経過して出力端子 4 から制御信号 D 1 を出力する。また、半導体チップ 2 は、出力端子 4 から制御信号 D 1 が出力されてから 300 ナノ秒以下で動作を休止させる。従って、入力端子 3 と出力端子 4 とが接続されている複数の半導体チップ 2 において、同時に 3 つ以上の半導体チップ 2 が駆動することはない。

## 【 0 1 1 7 】

ここで、上記に示される半導体チップ 2 の第 2 の実施形態では、ラッチ回路 1 1 は、フリップフロップ回路 1 9 からのパルス信号 P 8 に応答して、複数の差動入力回路 1 3、1 4、1 8 の動作を中止するように制御する。ここで、第 1 のレジスタ回路 1 5 が複数存在する場合、フリップフロップ回路 1 9 は、ラッチ回路 1 1 は、全ての第 1 のレジスタ回路 1 5 のフリップフロップ 1 5-j からシフト信号が出力された時、ラッチ回路 1 1 へ制御信号 D 4' としてのパルス信号 P 8

を出力する。ラッチ回路 1 1 は、そのパルス信号 P 8 に応答して、複数の差動入力回路 1 3, 1 4, 1 8 の動作を中止するように制御する。

【 0 1 1 8 】

次に、本発明における水平駆動装置の第 3 の実施形態を示す。

図 7 は、本発明における水平駆動装置の第 3 の実施形態の構成を示す。

【 0 1 1 9 】

図 7 を参照すると、本発明における水平駆動装置 1 の第 3 の実施形態の構成は、複数の半導体チップ 2 - 1, 2 - 2, ... 2 - n ( $n$  は 3 以上の整数) から構成される。各半導体チップ 2 は、入力端子 3 と出力端子 4 を有する。

【 0 1 2 0 】

半導体チップ 2 - 1 の第 1 の入力端子 3 - 1、半導体チップ 2 - 2 の第 1 の入力端子 3 - 2 は、および半導体チップ 2 - 3 の第 1 の入力端子 3 - 3 は、外部から制御信号 D 1 が入力される第 1 の外部端子 5 と接続されている。半導体チップ 2 - 1 の第 1 の出力端子 4 - 1 は半導体チップ 2 - 4 の入力端子 3 - 4 と接続されている。半導体チップ 2 - 2 の出力端子 4 - 2 は半導体チップ 2 - 5 の入力端子 3 - 5 と接続されている。半導体チップ 2 - 3 の出力端子 4 - 3 は半導体チップ 2 - 6 の入力端子 3 - 6 と接続されている。半導体チップ 2 - m ( $1 \leq m \leq n - 3$ ) の出力端子 4 - m は半導体チップ 2 - (m + 3) の入力端子 3 - (m + 2) と接続されている。

【 0 1 2 1 】

また、各半導体チップ 2 - 1, 2 - 2, ... 2 - n は電圧レベルが  $V_B$  ( $V_B > 0$ ) である第 2 の外部端子 6 と接続されている。

【 0 1 2 2 】

半導体チップ 2 - m の出力端子 4 - m から出力された制御信号 D 1 は、入力端子 3 - (m + 3) から半導体チップ 2 - (m + 3) に入力される。

【 0 1 2 3 】

また、図示しないが、各半導体チップ 2 - 1, 2 - 2, ... 2 - n には外部からデータ信号およびクロック信号が供給される。

【 0 1 2 4 】

次に、本発明における水平駆動回路の第 3 の実施形態の動作を示す。

図 8 は、本発明における水平駆動回路の第 3 の実施形態の動作を示すタイムチャートである。

【 0 1 2 5 】

図 8 を参照すると、第 1 の外部端子 5 から水平駆動回路 1 へパルス信号 P 9 が入力される。半導体チップ 2 - 1, 2 - 2, 2 - 3 はパルス信号 P 9 の立ち上がりに応答して立ち上がる。半導体チップ 2 - 1 はデータの書き込み動作が終了すると、出力端子 4 - 1 からパルス信号 P 1 0 を出力して、動作を休止する。半導体チップ 2 - 4 はパルス信号 P 1 0 の立ち上がりに応答して立ち上がる。半導体チップ 2 - 2 はデータの書き込みが終了すると、出力端子 4 - 2 からパルス信号 P 1 0 を出力して、動作を休止する。半導体チップ 2 - 5 はパルス信号 P 1 0 の立ち上がりに応答して立ち上がる。半導体チップ 2 - 3 はデータの書き込みが終了すると、出力端子 4 - 3 からパルス信号 P 1 1 を出力して、動作を休止する。半導体チップ 2 - 6 はパルス信号 P 1 1 の立ち上がりに応答して立ち上がる。同様に、半導体チップ 2 - m はデータの書き込みが終了すると、出力端子 4 - m からパルス信号を出力して、動作を休止する。半導体チップ 2 - (m + 2) はその出力端子 4 - m から出力されたパルス信号の立ち上がりに応答して立ち上がる。また、半導体チップ 2 - m はデータの書き込みが終了すると動作を休止する。

【 0 1 2 6 】

本発明における水平駆動回路の第 3 の実施形態では、多くとも 3 つの半導体チップのみ駆動している。

【 0 1 2 7 】

また、本発明における水平駆動回路の第 3 の実施形態で用いられている半導体チップ 2 およびその半導体チップ 2 に設けられている差動入力回路は、本発明における水平駆動回路の第 1 の実施形態で用いられているものと同じである。

【 0 1 2 8 】

次に、本発明における水平駆動装置の第 4 の実施形態を示す。本発明における水平駆動装置の第 4 の実施形態は、本発明における水平駆動装置の第 3 の実施形態と比べて、半導体チップ 2 の構成が異なる。



## 【 0 1 2 9 】

本発明における水平駆動装置の第 4 の実施形態で用いられる半導体チップ 2 は、本発明における水平駆動装置の第 2 の実施形態で用いられる半導体チップ 2 と同じである。このため、本発明における水平駆動装置の第 4 の実施形態では、多くとも 6 個の半導体チップ 2 が同時に駆動しており、全ての半導体チップ 2 が駆動しているわけではない。

## 【 0 1 3 0 】

また、本発明における水平駆動装置は以下に示す構成を有すれば良く、上記に示す実施形態のみに限定されない。複数の半導体チップ  $2-1$ ,  $2-2$ ,  $\dots$   $2-n$  ( $n$  は 3 以上の整数) から構成される。各半導体チップ 2 は、入力端子 3 と出力端子 4 を有する。半導体チップ  $2-1$ ,  $2-2 \dots 2-r$  ( $r < n$ ) の各入力端子 3 は、外部から制御信号  $D_1$  が入力される第 1 の外部端子 5 と接続されている。また、半導体チップ  $2-s$  ( $r+s \leq n$ ) の出力端子  $4-s$  は半導体チップ  $2-(r+s)$  の入力端子  $3-(r+s)$  と接続されている。

## 【 0 1 3 1 】

次に、本発明における水平駆動装置の効果を以下に示す。

まず、従来用いられる水平駆動回路は、10 個の半導体チップから構成される。また、各半導体チップは、15 個の差動入力回路と 15 個のロジック回路部を有する。

## 【 0 1 3 2 】

1 つの差動入力回路の消費電力は、半導体チップ待機時および動作時で 1mA である。このため、1 半導体チップの差動入力回路の消費電流は、半導体チップ待機時および動作時で 15mA である。また、1 半導体チップのロジック回路部の消費電流は、半導体チップ待機時で 0mA、および動作時で 10mA である。

## 【 0 1 3 3 】

このため、図 10 で示される、従来用いられる水平駆動回路の駆動時には、10 個の半導体チップ全てが駆動するために、消費電流は  $(15\text{mA} + 10\text{mA}) \times 10$  (チップ数) で表され、250mA となる。

## 【 0 1 3 4 】

また、図 1 で示される、本発明における水平駆動回路の第 1 の実施形態の駆動時には、2 個の半導体チップのみが駆動するために、消費電流は  $(15\text{mA} + 10\text{mA}) \times 2$  (チップ数) で表され、50mA となる。

## 【0 1 3 5】

上記に示すように、本発明における水平駆動装置は、全ての半導体チップが駆動するわけではないために、従来用いられている水平駆動装置と比べて、消費電流が削減できるという効果を有する。

## 【0 1 3 6】

また、本発明における水平駆動装置は、全ての半導体チップが駆動するわけではない。このため、クロック信号およびデータ信号を出力するためのタイミングコントローラに内蔵されている駆動トランジスタの能力を減少させることが可能となる。具体的には、本発明における水平駆動装置の第 1 の実施形態では、同時に最大 2 個の半導体チップしか駆動させない。このため、タイミングコントローラに内蔵されている駆動トランジスタは、2 個の半導体チップを駆動させるために必要な能力を必要とする。また、図 1 0 で示される、従来用いられる水平駆動回路は 1 0 個の半導体チップ全てを駆動させる。このため、タイミングコントローラに内蔵されている駆動トランジスタは、1 0 個の半導体チップを駆動させるために必要な能力を必要とする。。このことから、本発明における水平駆動装置の第 1 の実施形態では、従来用いられる水平駆動回路と比べて、タイミングコントローラに内蔵されている駆動トランジスタの駆動能力が約 1/5 でよい。この結果として、本発明における水平駆動装置は、トランジスタのサイズを小型化することが可能であるという効果を有する。

## 【0 1 3 7】

## 【発明の効果】

本発明における水平駆動装置は、消費電流を削減することが可能である。

## 【0 1 3 8】

また、本発明における水平駆動装置は、トランジスタのサイズを小型化することが可能である。

## 【図面の簡単な説明】

【図 1】

本発明における水平駆動装置の第 1 の実施形態の構成を示す。

【図 2】

本発明における水平駆動回路の第 1 の実施形態の動作を示すタイムチャートである。

【図 3】

本発明における水平駆動回路の第 1 の実施形態での半導体チップの構成を示す。

【図 4】

本発明における水平駆動回路の第 1 の実施形態での差動入力回路の構成を示す。

【図 5】

本発明における水平駆動装置の第 2 の実施形態での半導体チップの構成を示す。

【図 6】

本発明における水平駆動装置の第 2 の実施形態での半導体チップの動作を示すタイムチャートである。

【図 7】

本発明における水平駆動装置の第 3 の実施形態の構成を示す。

【図 8】

本発明における水平駆動回路の第 3 の実施形態の動作を示すタイムチャートである。

【図 9】

従来用いられている液晶表示装置の構成を示す。

【図 10】

従来用いられている水平駆動装置の構成を示す。

【図 11】

従来用いられている水平駆動回路の構成を示す。

【符号の説明】

1 水平駆動装置

- 2, 2-1, 2-2, 2-3, 2-4, 2-(n-1), 2-n 半導体チップ
- 3, 3-1, 3-2, 3-3, 3-4, 3-(n-1), 3-n 入力端子
- 4, 4-1, 4-2, 4-3, 4-4, 4-(n-1), 4-n 出力端子
- 5 第1の外部端子
- 6 第2の外部端子
- 7 スタートパルス入力端子
- 8 スタートパルス出力端子
- 1 1 ラッチ回路
- 1 2 スイッチ部
- 1 3 第1の差動入力回路
- 1 4 第2の差動入力回路
- 1 5 第1のレジスタ回路
- 1 5-1, 1 5-2, 1 5-3, 1 5-(j-1), 1 5-j フリップフロップ
- 1 6 第2のレジスタ回路
- 1 6 a 第1のデータレジスタ
- 1 6 b 第2のデータレジスタ
- 1 6 c レジスタ部
- 1 7 接地
- 1 8 第3の差動入力回路
- 1 9 フリップフロップ回路
- 2 1 端子
- 2 2 第1の回路部
- 2 2 a 第1のPチャネルトランジスタ
- 2 2 b 第2のPチャネルトランジスタ
- 2 2 c 第1のNチャネルトランジスタ
- 2 2 d 第2のNチャネルトランジスタ
- 2 2 e 第3のNチャネルトランジスタ
- 2 2 f 第4のNチャネルトランジスタ

- 2 2 g 接地
- 2 3 第 2 の回路部
  - 2 3 a 第 3 の P チャンネルトランジスタ
  - 2 3 b 第 4 の P チャンネルトランジスタ
  - 2 3 c 第 5 の N チャンネルトランジスタ
  - 2 3 d 第 6 の N チャンネルトランジスタ
- 2 4 波形整形回路部
  - 2 4 a 第 1 の端子
  - 2 4 b 第 2 の端子
- 2 5 第 1 の N A N D ゲート
- 2 6 第 2 の N A N D ゲート
- 2 7 インバータ回路
- 2 8 インバータ回路
- 2 9 タイミングコントローラの内部端子
- 3 0 外部タイミングコントローラの駆動回路
  - 3 0 a 第 7 の N チャンネルトランジスタ
  - 3 0 b 第 8 の N チャンネルトランジスタ
  - 3 0 c 接地
- 3 1 外部端子
- 1 0 1 液晶表示装置
- 1 0 2 表示デバイス
- 1 0 3 垂直駆動回路
- 1 0 4 水平駆動回路
- 1 1 1, 1 1 1 - 1, 1 1 1 - 2, 1 1 1 - 3, 1 1 1 - n 水平駆動回路
- 1 1 3 第 1 の差動入力回路
- 1 1 4 第 2 の差動入力回路
- 1 1 5 第 1 のレジスタ回路
- 1 1 5 - 1, 1 1 5 - 2, 1 1 5 - 3, 1 1 5 - (j - 1), 1 1 5 - j フリップフロップ

- 1 1 6 第 2 のレジスタ回路
  - 1 1 6 a 第 1 のデータレジスタ
  - 1 1 6 b 第 2 のデータレジスタ
  - 1 1 6 c レジスタ部
- 1 1 8 第 3 の差動入力回路
- 1 1 9 スタートパルス入力端子
- 1 2 0 スタートパルス出力端子
- D 1 制御信号
- D 2 信号
  - D 2 a クロック信号
    - D 2 a - 1, D 2 a - 2 クロック信号入力端子
  - D 2 b 第 1 のデータ信号
    - D 2 b - 1, D 2 b - 2 データ信号入力端子
  - D 2 c 第 2 のデータ信号
    - D 2 c - 1, D 2 c - 2 データ信号入力端子
- D 3 制御信号
- D 4 制御信号
- D 4 ' 制御信号
- D 5 ノード
- D 6 ノード
- D 7 ノード
- P 1, P 2, P 3, P 4, P 5 パルス信号
- P 6, P 7, P 8 パルス信号
- P 9, P 1 0, P 1 1, P 1 2 パルス信号
- D 1 0 1 入力信号
- D 1 0 2 a クロック信号
  - D 1 0 2 a - 1, D 1 0 2 a - 2 クロック信号入力端子
- D 1 0 2 b 第 1 のデータ信号
  - D 1 0 2 b - 1, D 1 0 2 b - 2 データ信号入力端子

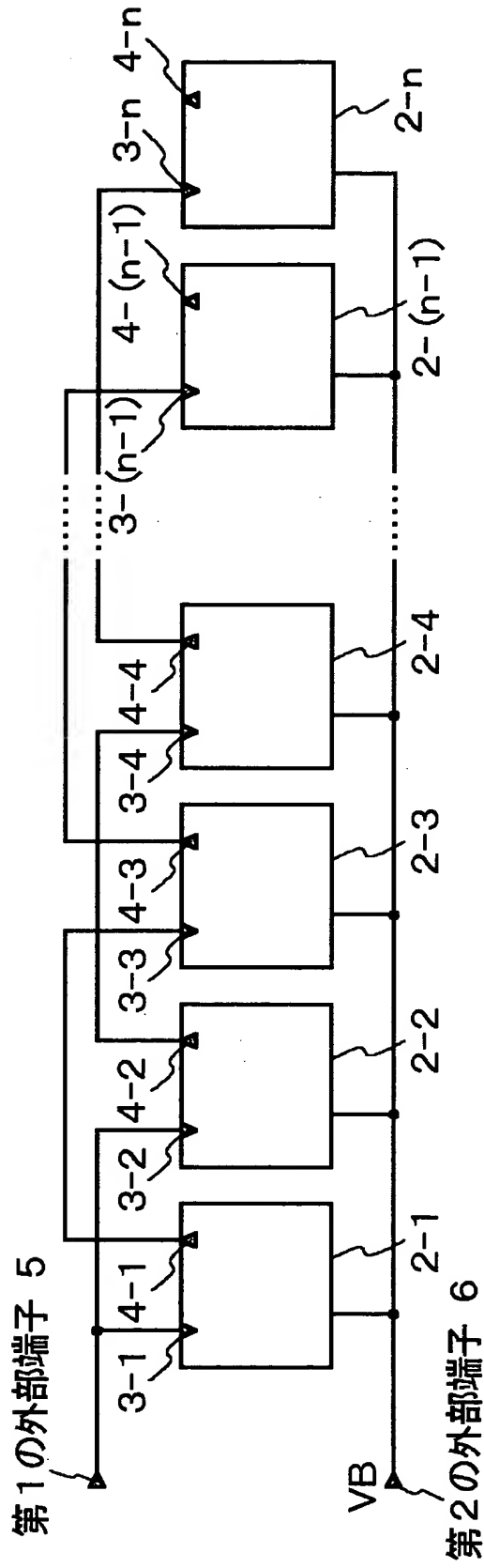
D102c 第2のデータ信号

D102c-1, D102c-2 データ信号入力端子

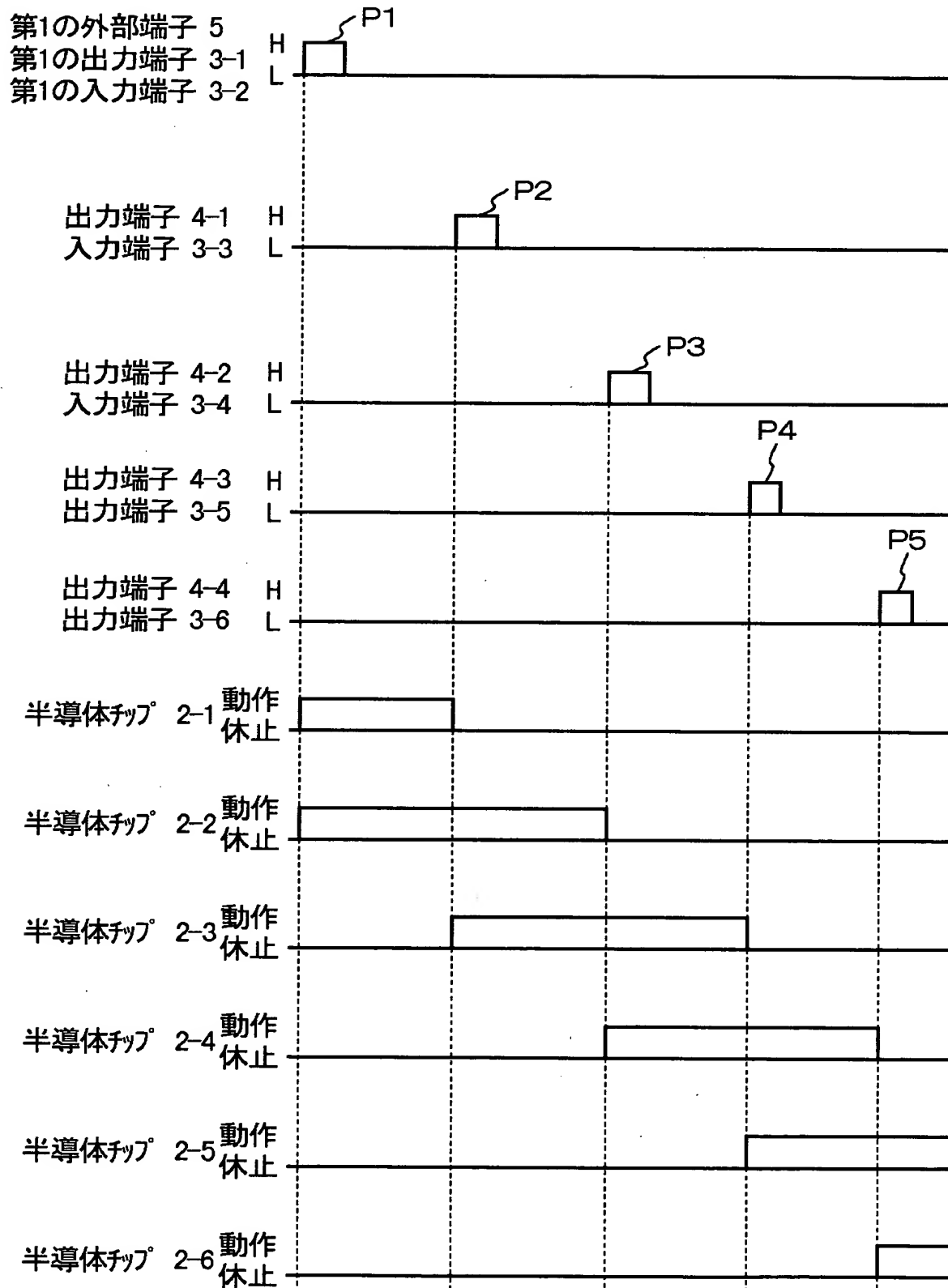
【書類名】 図面

【図 1】

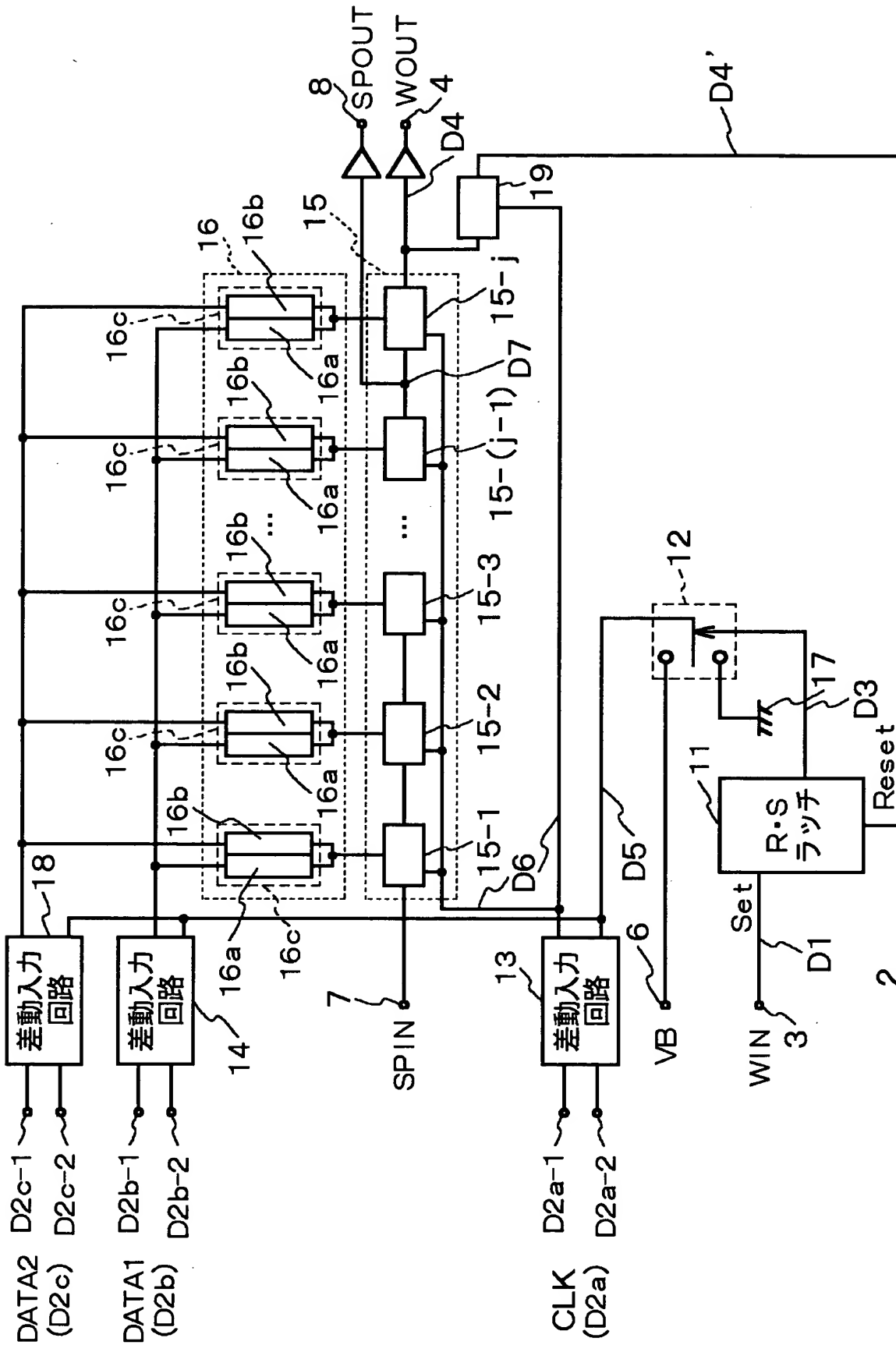




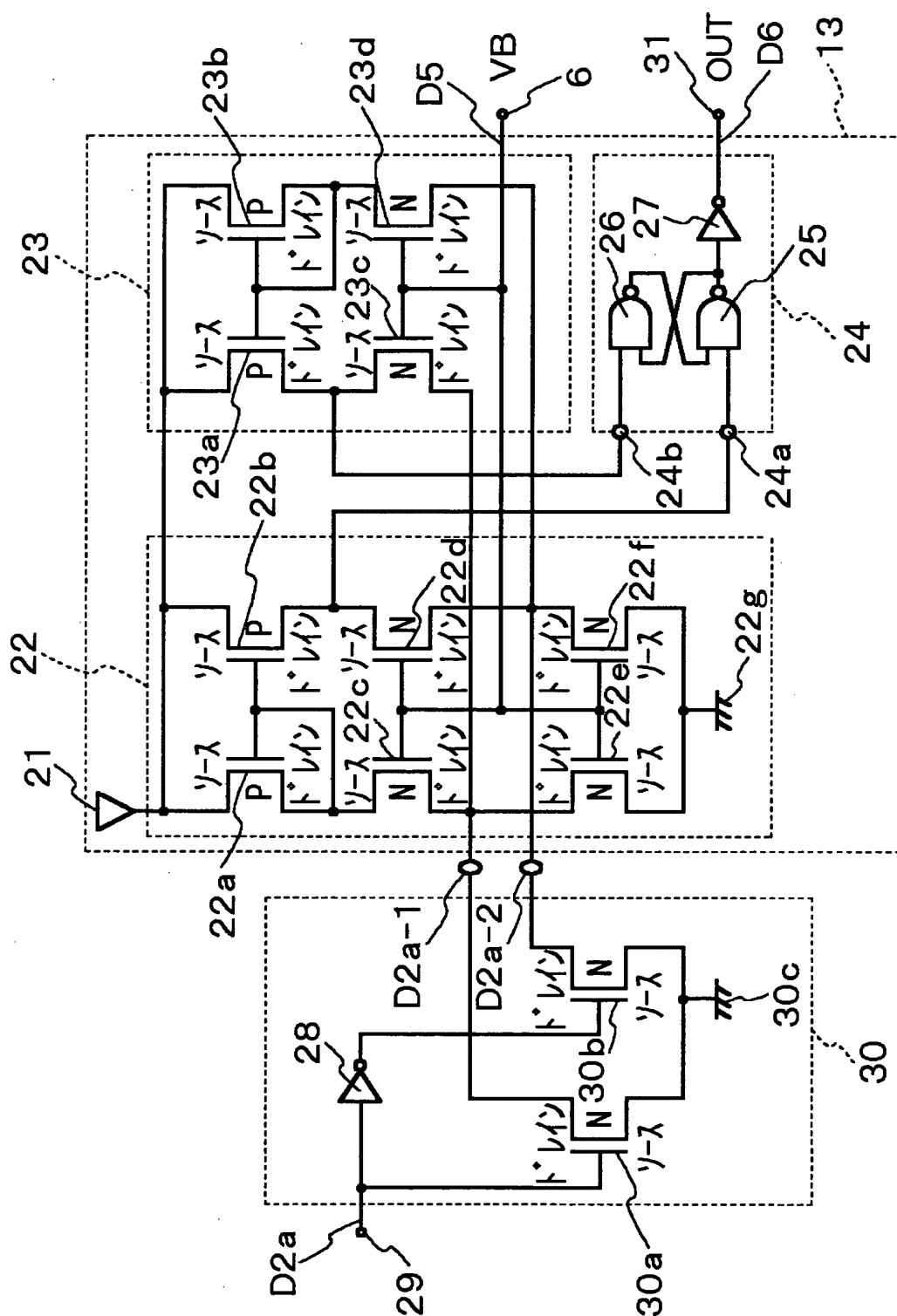
【図 2】



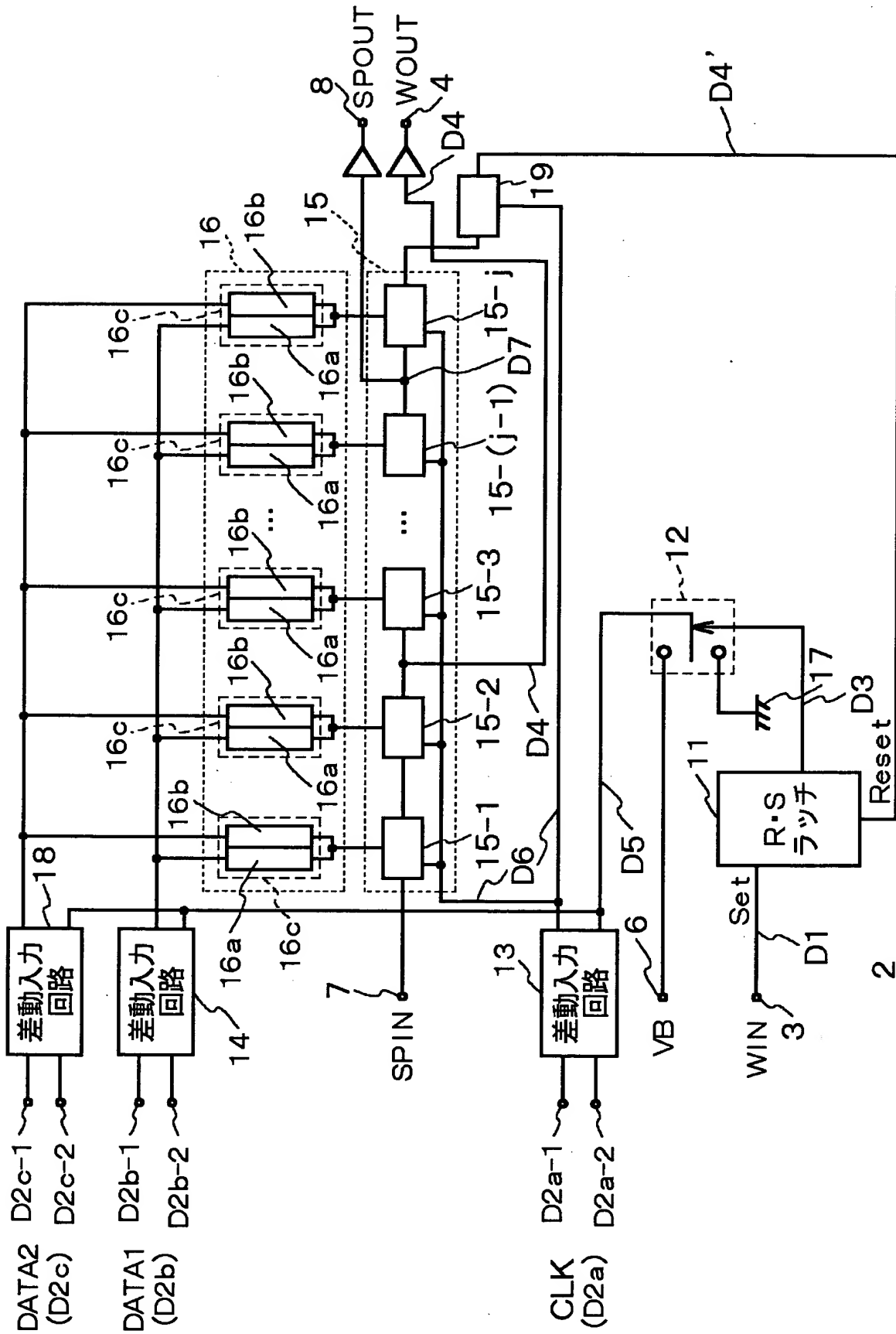
【図 3】



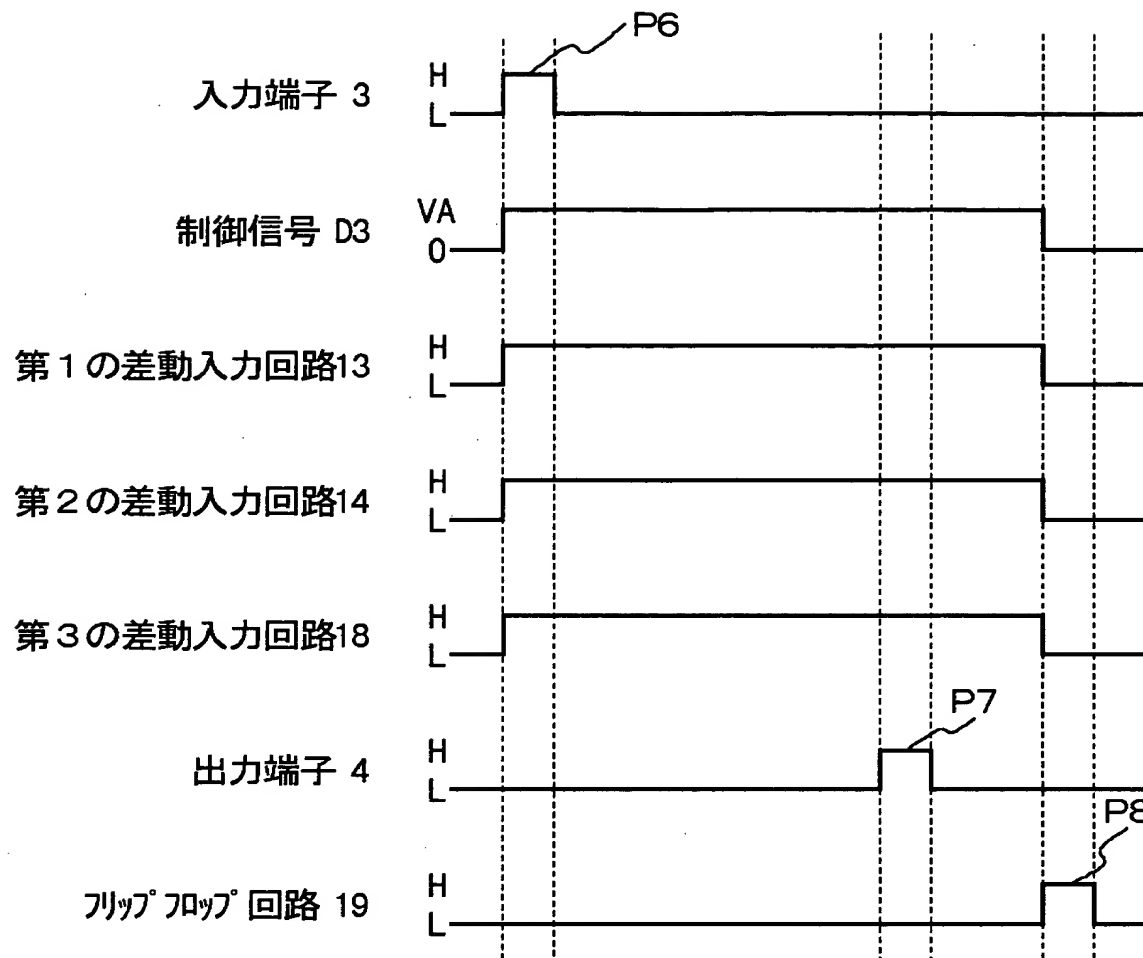
【図 4】



【图 5】

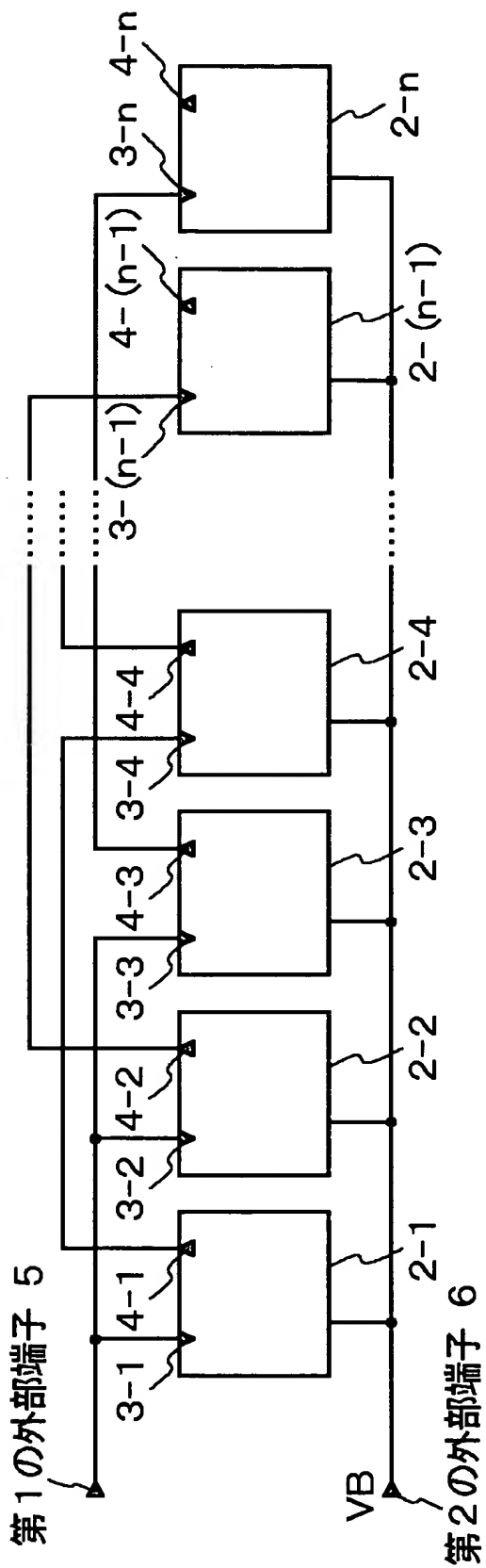


【図 6】



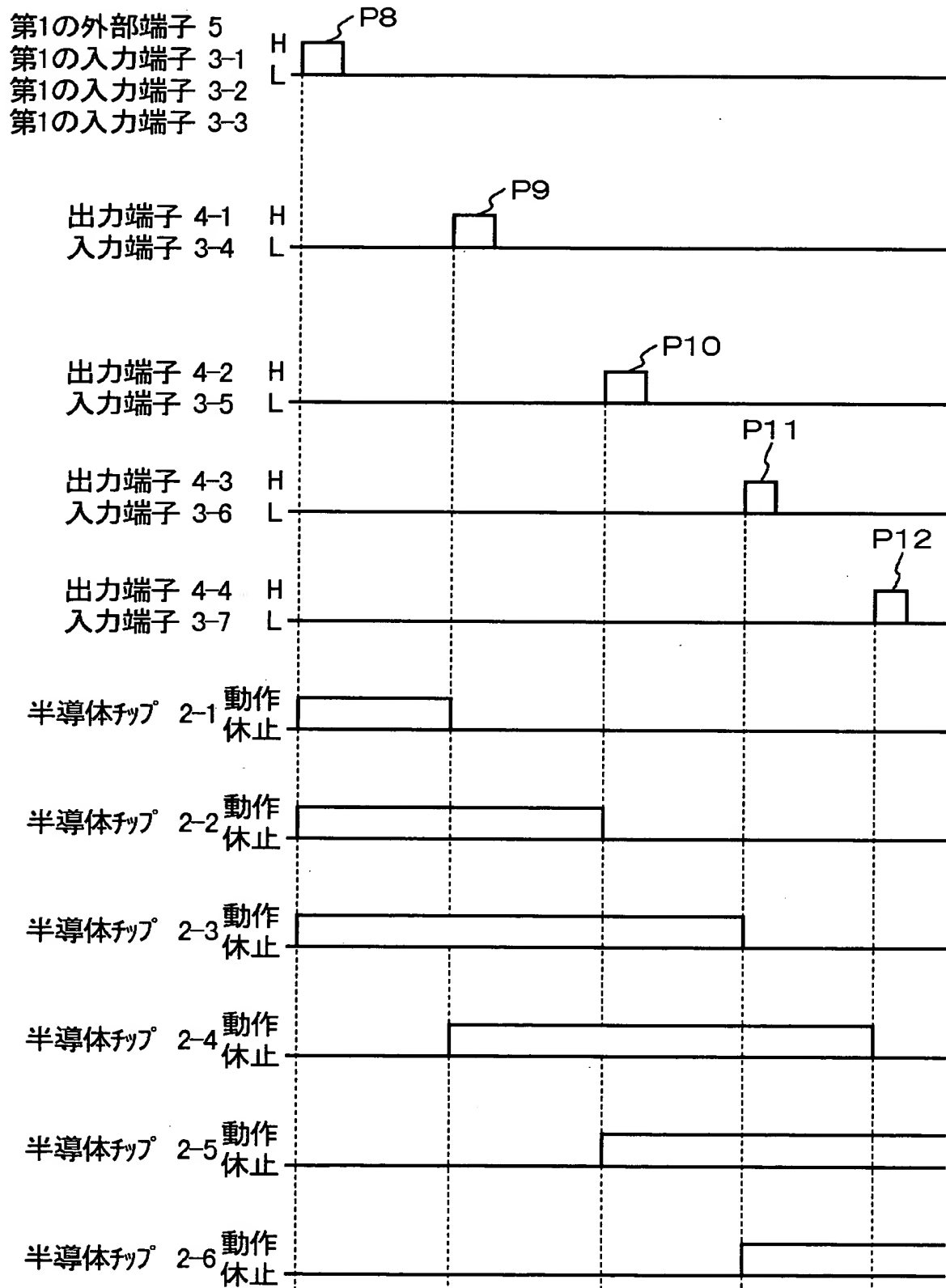
【図 7】



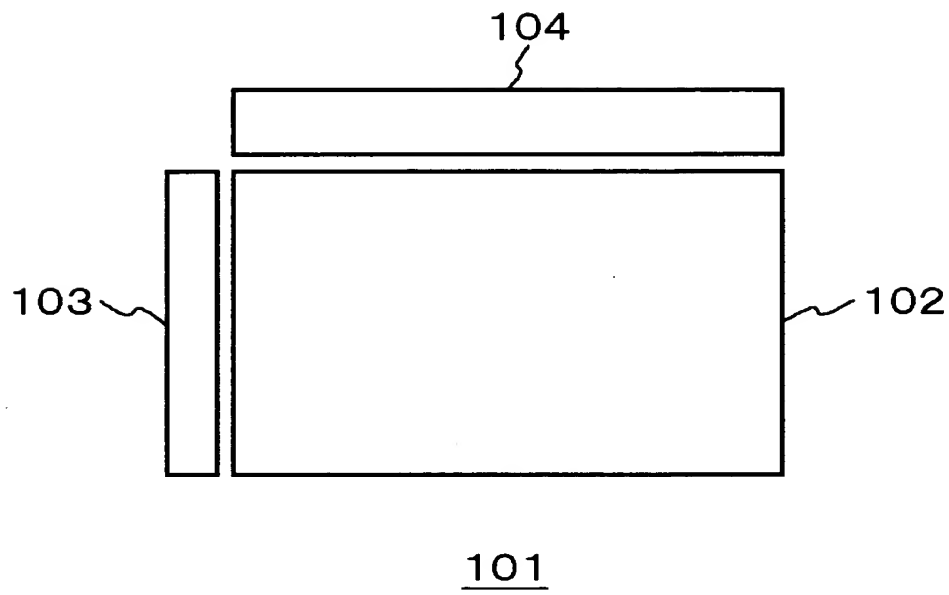


1

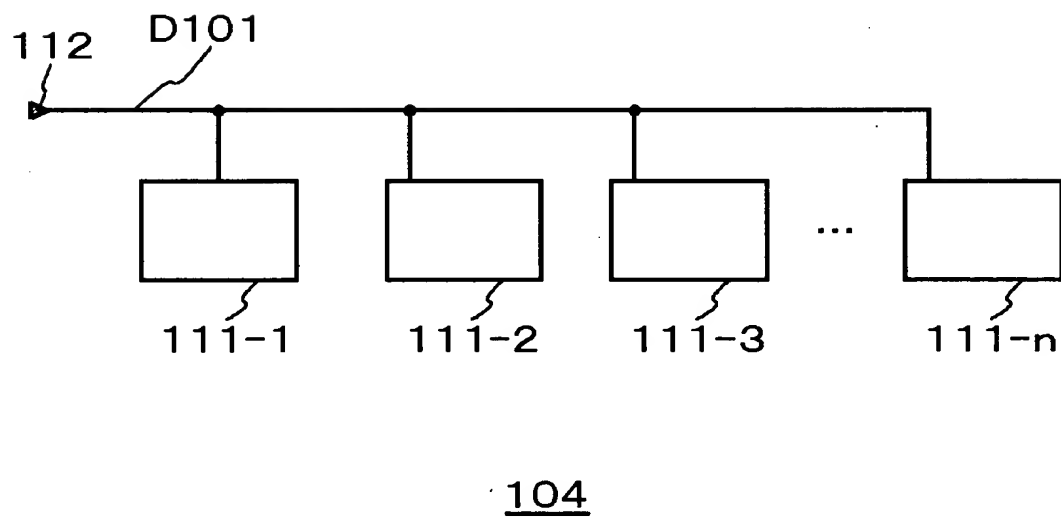
【図 8】



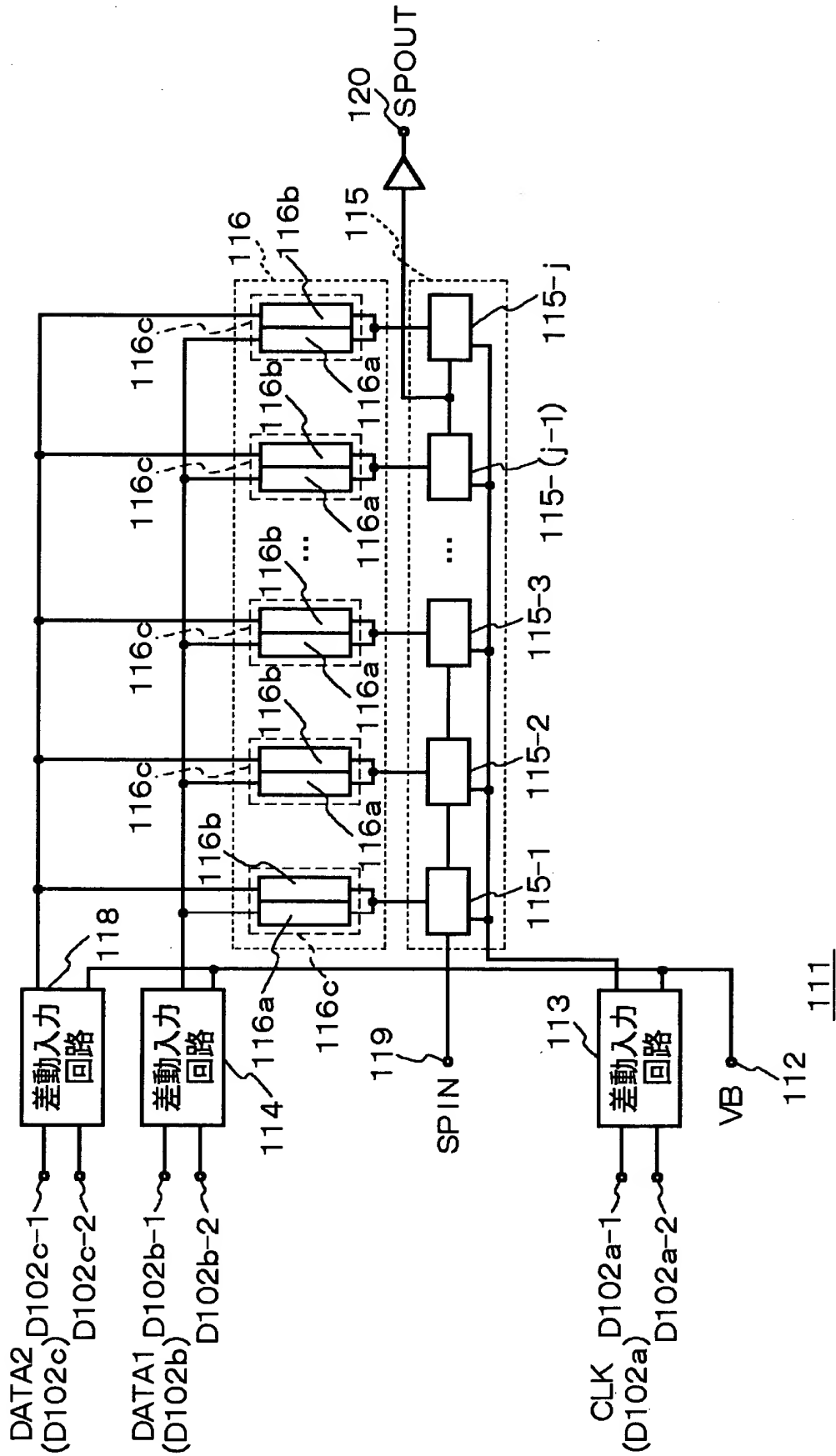
【図 9】



【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 消費電力の低減が可能な半導体システム及び半導体装置を提供する。

【解決手段】 入力端子(3)と出力端子(4)を有する $n$ 個( $n > 2$ )の回路部(2)と、 $n$ 個の回路部(2)のうち、所定の $k$ 個( $2 \leq k < n$ )の回路部(2)の入力端子(3)に接続された端子(5)からなり、 $m$ 番目( $1 \leq m \leq n - k$ )の回路部(2)の出力端子(4)と( $m + k$ )番目の回路部(2)の入力端子(3)とが接続されてなる半導体システムを提供する。この半導体システムにおいて、各回路部(2)は、入力端子(3)からの入力信号(D1)に応答して起動し、起動後所定の時間経過すると動作を中止する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日  
[変更理由] 新規登録  
住 所 東京都港区芝五丁目7番1号  
氏 名 日本電気株式会社